

10/614,509.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036186

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01S 5/042

(21)Application number : 11-203190

(71)Applicant : SONY CORP

(22)Date of filing : 16.07.1999

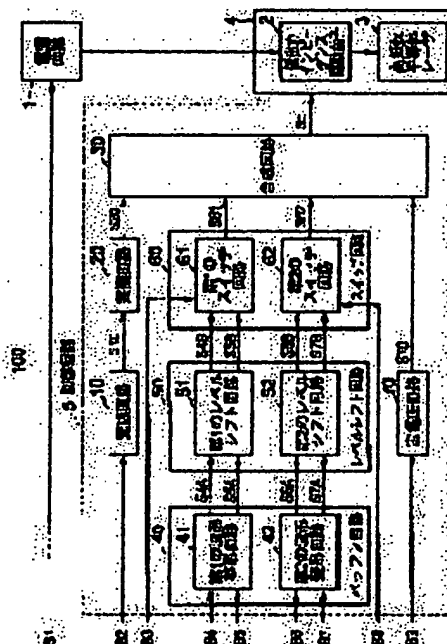
(72)Inventor : TANASE HIRONOBU
ICHIMURA ISAO

(54) SEMICONDUCTOR LASER DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor laser drive circuit which can improve the drive of a high-resistance semiconductor laser such as a GaN semiconductor laser.

SOLUTION: This semiconductor laser drive circuit 100 has a buffer circuit 40 which shapes the waveforms of input signals S4 to S7, a level shift circuit 50 which shifts the levels of output signals S4A to S7A of the buffer circuit 40, a switch circuit 60 which controls and outputs the signal levels of output signals S4B to S7B of the level shift circuit 50 according to switching control signals S3 and S8, a composing circuit 30 which puts together output signals S61 and S62 of the switching circuit 60, and a source follower 4, which supplies electric power to the high-resistance semiconductor laser 3 according to the output signal of the composing circuit 30. The high-resistance semiconductor laser 3 is, for example, a GaN-based semiconductor laser which emits violet laser light.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-36186
(P2001-36186A)

(43)公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl.?

H01S 5/042

識別記号

FI

H01S 3/18

テーマト* (参考)

626 5F073

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21)出願番号 特願平11-203190

(22)出願日 平成11年7月16日(1999.7.16)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 棚瀬 広宣

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 市村 功

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

(74)代理人 100094053

井理士 佐藤 隆久

Fターム(参考) 5F073 BA06 CA07 EA13 EA14 EA15

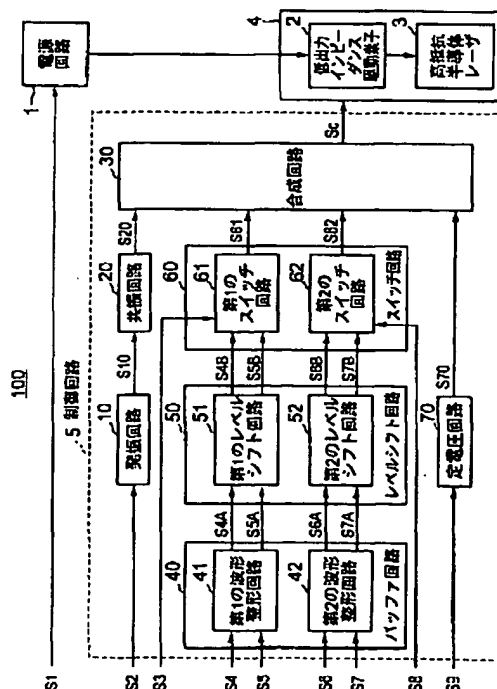
GA04 GA12 GA15 GA24 GA25

(54) 【発明の名称】 半導体レーザ駆動回路

(57) 【要約】

【課題】 GaN系半導体レーザ等の高抵抗半導体レーザの駆動速度を向上可能な半導体レーザ駆動回路を提供する。

【解決手段】 半導体レーザ駆動回路１００は、入力信号Ｓ４～Ｓ７を波形整形するバッファ回路４０と、このバッファ回路４０の出力信号Ｓ４Ａ～Ｓ７Ａをレベルシフトするレベルシフト回路５０と、スイッチ制御信号Ｓ３、Ｓ８に基づいてレベルシフト回路５０の出力信号Ｓ４Ｂ～Ｓ７Ｂの信号レベルを制御して出力するスイッチ回路６０と、スイッチ回路６０の出力信号Ｓ６１、Ｓ６２を合成する合成回路３０と、合成回路３０の出力信号Ｓｃに基づいて高抵抗半導体レーザ３に電源を供給するソースフォロワ４とを有する。高抵抗半導体レーザ３は、例えば、青紫色レーザ光を放射するＧａＮ系半導体レーザである。



【特許請求の範囲】

【請求項 1】高抵抗半導体レーザを駆動する半導体レーザ駆動回路であって、
駆動制御信号を生成する制御回路と、
前記駆動制御信号に基づいて前記高抵抗半導体レーザを電圧駆動する低出力インピーダンス駆動素子とを有する半導体レーザ駆動回路。

【請求項 2】前記制御回路は、

第 1 の入力信号および第 1 のスイッチ制御信号が供給され、前記第 1 のスイッチ制御信号に基づいて前記第 1 の入力信号の信号レベルを制御して出力する第 1 のスイッチ回路と、

第 2 の入力信号および第 2 のスイッチ制御信号が供給され、前記第 2 のスイッチ制御信号に基づいて前記第 2 の入力信号の信号レベルを制御して出力する第 2 のスイッチ回路と、

前記第 1 および第 2 のスイッチ回路の出力信号を合成して前記駆動制御信号を生成する合成回路とを有する請求項 1 記載の半導体レーザ駆動回路。

【請求項 3】バイアス用の定電圧信号を生成する定電圧回路をさらに有し、

前記高抵抗半導体レーザは、複数の動作モードに応じて駆動され、

前記合成回路は、

第 1 の動作モードの場合に前記定電圧信号と前記第 1 のスイッチ回路の出力信号とを合成し、

第 2 の動作モードの場合に前記定電圧信号と前記第 1 および第 2 のスイッチ回路の出力信号とを合成する請求項 2 記載の半導体レーザ駆動回路。

【請求項 4】発振信号を生成する発振回路をさらに有し、

前記合成回路は、第 3 の動作モードの場合に前記定電圧信号と前記発振信号とを合成する請求項 3 記載の半導体レーザ駆動回路。

【請求項 5】前記発振回路と前記合成回路との間に接続された共振回路をさらに有し、

前記合成回路は、前記第 3 の動作モードの場合に、前記共振回路を通過した前記発振信号と前記定電圧信号とを合成する請求項 4 記載の半導体レーザ駆動回路。

【請求項 6】第 3 の入力信号が供給され、この第 3 の入力信号をレベルシフトして前記第 1 の入力信号を生成する第 1 のレベルシフト回路と、

第 4 の入力信号が供給され、この第 4 の入力信号をレベルシフトして前記第 2 の入力信号を生成する第 2 のレベルシフト回路とをさらに有する請求項 2 記載の半導体レーザ駆動回路。

【請求項 7】前記第 1 および第 2 のレベルシフト回路の各々は、エミッタ結合論理回路からなる差動増幅回路であり、

前記第 1 のスイッチ回路は、差動対トランジスタのエミ

ッタに電流源が接続され、この電流源の出力電流が前記第 1 のスイッチ制御信号によって設定される電流スイッチ論理回路であり、

前記第 2 のスイッチ回路は、差動対トランジスタのエミッタに電流源が接続され、この電流源の出力電流が前記第 2 のスイッチ制御信号によって設定される電流スイッチ論理回路である請求項 6 記載の半導体レーザ駆動回路。

【請求項 8】第 5 の入力信号が供給され、この第 5 の入力信号を波形整形して前記第 3 の入力信号を生成する第 1 の波形整形回路と、

第 6 の入力信号が供給され、この第 6 の入力信号を波形整形して前記第 4 の入力信号を生成する第 2 の波形整形回路とをさらに有する請求項 6 記載の半導体レーザ駆動回路。

【請求項 9】前記低出力インピーダンス駆動素子を介して前記高抵抗半導体レーザに電源電圧を供給する電源回路をさらに有し、

前記電源回路は、前記電源回路の制御信号がイネーブル状態の場合に前記低出力インピーダンス駆動素子に前記電源電圧を出力し、前記電源回路の制御信号がディスエーブル状態の場合に前記電源電圧の出力を停止する請求項 1 記載の半導体レーザ駆動回路。

【請求項 10】前記高抵抗半導体レーザの流入電流または発光強度を検出する検出回路と、

前記検出回路の出力信号を前記低出力インピーダンス駆動素子にフィードバックするフィードバック回路とをさらに有する請求項 1 記載の半導体レーザ駆動回路。

【請求項 11】前記高抵抗半導体レーザは、GaN 系半導体レーザであり、

前記低出力インピーダンス駆動素子は、電界効果トランジスタであり、

前記 GaN 系半導体レーザは、前記電界効果トランジスタを用いたソースフォロウにより駆動される請求項 1 記載の半導体レーザ駆動回路。

【請求項 12】高抵抗半導体レーザを駆動する半導体レーザ駆動回路であって、

駆動制御信号を生成する制御回路と、

前記駆動制御信号に基づいて前記高抵抗半導体レーザを電圧駆動する低出力インピーダンス駆動素子と、

前記低出力インピーダンス駆動素子と前記高抵抗半導体レーザとの接続点に接続された定電流回路とを有する半導体レーザ駆動回路。

【請求項 13】前記高抵抗半導体レーザと前記低出力インピーダンス駆動素子は、キャパシタを介して接続され、

前記キャパシタと前記低出力インピーダンス駆動素子との接続点は、第 1 の抵抗素子を介して接地され、

前記定電流回路は、前記キャパシタと前記高抵抗半導体レーザとの接続点に接続されている請求項 12 記載の半

導体レーザ駆動回路。

【請求項 14】前記高抵抗半導体レーザと前記定電流回路は、インダクタまたは第 2 の抵抗素子を介して接続されている請求項 12 記載の半導体レーザ駆動回路。

【請求項 15】前記高抵抗半導体レーザは、Ga N 系半導体レーザであり、前記低出力インピーダンス駆動素子は、電界効果トランジスタであり、前記 Ga N 系半導体レーザは、前記電界効果トランジスタを用いたソースフォロフにより駆動される請求項 12 記載の半導体レーザ駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Ga N 系半導体レーザ等の高抵抗半導体レーザを駆動する半導体レーザ駆動回路に関する。

【0002】

【従来の技術】近年、情報記録媒体である光ディスクは、高密度化および大容量化が進んでいる。この高密度化および大容量化に伴い、レーザ光の発光パルス幅が短いことが要求され、レーザ光の波形のエッジが急峻であることが要求される。

【0003】半導体レーザを駆動する従来の半導体レーザ駆動回路は、半導体レーザのレーザ光出力を、駆動電流の大きさを切り換えることにより制御する。例えば、従来の半導体レーザ駆動回路は、トランジスタを用いた複数（複数チャネル分）の定電流回路を有し、各定電流回路の出力電流を加算して半導体レーザに供給する。

【0004】

【発明が解決しようとする課題】上記した従来の半導体レーザ駆動回路では、定電流回路の出力端子に寄生容量が存在するため、定電流回路の個数を増加するに伴い、寄生容量の総和が大きくなる。また、トランジスタにより定電流回路を構成するため、入出力間の容量によりミラー効果が生じる。これらの要因により、従来の半導体レーザ駆動回路では周波数特性および過渡特性が劣化し、半導体レーザの発光パルス幅を短くすることが困難であり、高速駆動することが困難である。

【0005】特に、青紫色レーザ光を放射する Ga N 系半導体レーザは、他の半導体レーザに比べてインピーダンスが大きいので、従来の電流制御型の半導体レーザ駆動回路では高速に駆動することが困難である。本発明の目的は、Ga N 系半導体レーザ等の高抵抗半導体レーザの駆動速度を向上可能な半導体レーザ駆動回路を提供することにある。

【0006】

【課題を解決するための手段】本発明に係る第 1 の半導体レーザ駆動回路は、駆動制御信号を生成する制御回路と、前記駆動制御信号に基づいて前記高抵抗半導体レーザを電圧駆動する低出力インピーダンス駆動素子とを有

する。

【0007】本発明に係る第 1 の半導体レーザ駆動回路は、好適には、前記制御回路は、第 1 の入力信号および第 1 のスイッチ制御信号が供給され、前記第 1 のスイッチ制御信号に基づいて前記第 1 の入力信号の信号レベルを制御して出力する第 1 のスイッチ回路と、第 2 の入力信号および第 2 のスイッチ制御信号が供給され、前記第 2 のスイッチ制御信号に基づいて前記第 2 の入力信号の信号レベルを制御して出力する第 2 のスイッチ回路と、前記第 1 および第 2 のスイッチ回路の出力信号を合成して前記駆動制御信号を生成する合成回路とを有する。

【0008】本発明に係る第 1 の半導体レーザ駆動回路は、より好適には、バイアス用の定電圧信号を生成する定電圧回路をさらに有し、前記高抵抗半導体レーザは、複数の動作モードに応じて駆動され、前記合成回路は、第 1 の動作モードの場合に前記定電圧信号と前記第 1 のスイッチ回路の出力信号とを合成し、第 2 の動作モードの場合に前記定電圧信号と前記第 1 および第 2 のスイッチ回路の出力信号とを合成する。

【0009】本発明に係る第 1 の半導体レーザ駆動回路は、より好適には、発振信号を生成する発振回路をさらに有し、前記合成回路は、第 3 の動作モードの場合に前記定電圧信号と前記発振信号とを合成する。本発明に係る第 1 の半導体レーザ駆動回路は、前記発振回路と前記合成回路との間に接続された共振回路をさらに有し、前記合成回路は、前記第 3 の動作モードの場合に、前記共振回路を通過した前記発振信号と前記定電圧信号とを合成する構成としてもよい。

【0010】本発明に係る第 1 の半導体レーザ駆動回路は、より好適には、第 3 の入力信号が供給され、この第 3 の入力信号をレベルシフトして前記第 1 の入力信号を生成する第 1 のレベルシフト回路と、第 4 の入力信号が供給され、この第 4 の入力信号をレベルシフトして前記第 2 の入力信号を生成する第 2 のレベルシフト回路とをさらに有する。本発明に係る第 1 の半導体レーザ駆動回路は、前記第 1 および第 2 のレベルシフト回路の各々は、エミッタ結合論理回路からなる差動増幅回路であり、前記第 1 のスイッチ回路は、差動対トランジスタのエミッタに電流源が接続され、この電流源の出力電流が前記第 1 のスイッチ制御信号によって設定される電流スイッチ論理回路であり、前記第 2 のスイッチ回路は、差動対トランジスタのエミッタに電流源が接続され、この電流源の出力電流が前記第 2 のスイッチ制御信号によって設定される電流スイッチ論理回路である構成としてもよい。

【0011】本発明に係る第 1 の半導体レーザ駆動回路は、例えば、前記高抵抗半導体レーザは、Ga N 系半導体レーザであり、前記低出力インピーダンス駆動素子は、電界効果トランジスタであり、前記 Ga N 系半導体レーザは、前記電界効果トランジスタを用いたソースフ

ォロフにより駆動される構成としてもよい。

【0012】本発明に係る第2の半導体レーザ駆動回路は、駆動制御信号を生成する制御回路と、前記駆動制御信号に基づいて前記高抵抗半導体レーザを電圧駆動する低出力インピーダンス駆動素子と、前記低出力インピーダンス駆動素子と前記高抵抗半導体レーザとの接続点に接続された定電流回路とを有する。

【0013】本発明に係る第2の半導体レーザ駆動回路では、好適には、前記高抵抗半導体レーザと前記低出力インピーダンス駆動素子は、キャパシタを介して接続され、前記キャパシタと前記低出力インピーダンス駆動素子との接続点は、第1の抵抗素子を介して接地され、前記定電流回路は、前記キャパシタと前記高抵抗半導体レーザとの接続点に接続されている。

【0014】本発明に係る第2の半導体レーザ駆動回路では、好適には、前記高抵抗半導体レーザと前記定電流回路は、インダクタまたは第2の抵抗素子を介して接続されている。本発明に係る第2の半導体レーザ駆動回路では、例えば、前記高抵抗半導体レーザは、Ga N系半導体レーザであり、前記低出力インピーダンス駆動素子は、電界効果トランジスタであり、前記Ga N系半導体レーザは、前記電界効果トランジスタを用いたソースフォロフにより駆動される構成としてもよい。

【0015】上記した本発明に係る第1および第2の半導体レーザ駆動回路では、低出力インピーダンス駆動素子により高抵抗半導体レーザを電圧駆動するので、高抵抗半導体レーザに対して効果的に電源を供給することができる。また、低出力インピーダンス駆動素子を介して高抵抗半導体レーザに電源を供給することで、ミラー効果を抑制することができ、高抵抗半導体レーザの駆動速度を向上することが可能である。高抵抗半導体レーザはソースフォロフにより電源供給される構成とすることで、電界効果トランジスタでのミラー効果を抑制することができ、Ga N系半導体レーザ等の高抵抗半導体レーザの駆動速度をより向上することが可能である。

【0016】また、上記した本発明に係る第2の半導体レーザ駆動回路では、低出力インピーダンス駆動素子と高抵抗半導体レーザとの接続点に接続された定電流回路を有するので、高抵抗半導体レーザに一定電流を供給することが可能であり、この一定電流に応じたレーザ光を

【0017】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して説明する。

【0018】第1の実施の形態

図1は、本発明に係る半導体レーザ駆動回路の実施の形態を示す概略的なブロック構成図である。半導体レーザ駆動回路100は、本実施の形態では、光ディスクに情報を記録したり、光ディスクの記憶情報を再生したりする記録再生装置に設置されている。この半導体レーザ駆

動回路100は、電源回路1と、ソースフォロフ（ドレイン接地回路）4と、駆動制御信号Scを生成する制御回路5とを有する。

【0019】ソースフォロフ4は、低出力インピーダンス駆動素子2と、高抵抗半導体レーザ3とを有する。低出力インピーダンス駆動素子2は、例えば、エンハンスメント型のnチャンネル電界効果トランジスタ（FET: Field Effect Transistor）で構成される。高抵抗半導体レーザ3は、例えば、青紫色レーザ光を出力するGa N系半導体レーザ（Ga N系半導体レーザダイオード）で構成される。以下、低出力インピーダンス駆動素子2がFETであり、高抵抗半導体レーザ3がGa N系半導体レーザである場合について説明する。FET2のドレインは電源回路1に接続され、ソースはGa N系半導体レーザ3に接続されている。

【0020】制御回路5は、発振回路10と、共振回路20と、合成回路30と、バッファ回路40と、レベルシフト回路50と、スイッチ回路60と、定電圧回路70とを有する。前記バッファ回路40は、第1の波形整形回路41と、第2の波形整形回路41とを有する。前記レベルシフト回路50は、第1のレベルシフト回路51と、第2のレベルシフト回路52とを有する。前記スイッチ回路60は、第1のスイッチ回路61と、第2のスイッチ回路62とを有する。

【0021】第1の波形整形回路41には、第5の入力信号S4、S5が入力される。前記第5の入力信号S4、S5は、互いに反転信号と非反転信号の関係であり、対（ペア）になっている。第2の波形整形回路42には、第6の入力信号S6、S7が入力される。前記第6の入力信号S6、S7は、互いに反転信号と非反転信号の関係であり、対（ペア）になっている。

【0022】なお、第1の動作モードの場合、すなわち光ディスクの記憶情報を消去する場合（消去時）には、第1および第2の波形整形回路41、42のうち第1の波形整形回路41のみに入力信号S4、S5が供給される。また、第2の動作モードの場合、すなわち光ディスクに情報を書き込んで記憶させる場合（記録時）には、第1の波形整形回路41に入力信号S4、S5が供給されると共に第2の波形整形回路42に入力信号S6、S7が供給され、Ga N系半導体レーザ3の発光出力（発光強度）は消去時よりも記録時のほうが大きくなる。また、第3の動作モードの場合、すなわち光ディスクの記憶情報を読み出す場合（再生時）には、第1および第2の波形整形回路41、42には入力信号は供給されない。

【0023】第1の波形整形回路41は、第5の入力信号S4、S5を波形整形して信号S4A、S5Aを生成し、前記信号S4A、S5Aを第3の入力信号として第1のレベルシフト回路51に供給する。第2の波形整形回路42は、第6の入力信号S6、S7を波形整形して

信号 S 6 A, S 7 A を生成し、前記信号 S 6 A, S 7 A を第 4 の入力信号として第 2 のレベルシフト回路 5 2 に供給する。第 1 および第 2 の波形整形回路 4 1, 4 2 は、p-ECL レベルの信号を入力して p-ECL レベルの信号を出力し、エッジが鈍った信号をエッジが急峻な信号に整形する。このような構成とすることで、入力信号の伝送線路が延長された場合に、バッファ回路 4 0 により、入力信号の波形の鈍りを抑えることができる。

【0024】第 1 のレベルシフト回路 5 1 は、第 3 の入力信号 S 4 A, S 5 A (の信号レベル) をレベルシフトして信号 S 4 B, S 5 B を生成し、前記信号 S 4 B, S 5 B を第 1 の入力信号として第 1 のスイッチ回路 6 1 に供給する。第 2 のレベルシフト回路 5 2 は、第 4 の入力信号 S 6 A, S 7 A (の信号レベル) をレベルシフトして信号 S 6 B, S 7 B を生成し、前記信号 S 6 B, S 7 B を第 2 の入力信号として第 2 のスイッチ回路 6 2 に供給する。第 1 および第 2 のレベルシフト回路 5 1, 5 2 は、エミッタ結合論理 (ECL: Emitter Coupled Logic) 回路からなる差動増幅回路で構成されている。

【0025】第 1 のスイッチ回路 6 1 は、前記第 1 の入力信号 S 4 B, S 5 B を第 1 のスイッチ制御信号 S 3 に基づいて増幅して第 1 の増幅信号 S 6 1 を生成し、この第 1 の増幅信号 S 6 1 を合成回路 3 0 に供給する。第 1 のスイッチ回路 6 1 の増幅度は、第 1 の増幅制御信号 (第 1 のスイッチ制御信号) S 3 により調整することができる。

【0026】第 2 のスイッチ回路 6 2 は、前記第 2 の入力信号 S 6 B, S 7 B を第 2 のスイッチ制御信号 S 8 に基づいて増幅して第 2 の増幅信号 S 6 2 を生成し、この第 2 の増幅信号 S 6 2 を合成回路 3 0 に供給する。第 2 のスイッチ回路 6 2 の増幅度は、第 2 の増幅制御信号 (第 2 のスイッチ制御信号) S 8 により調整することができる。第 1 および第 2 のスイッチ回路 6 1, 6 2 は、ECL 回路からなる電流スイッチ論理 (CSL: Current Switch Logic) 回路で構成されている。

【0027】定電圧回路 7 0 は、設定信号 S 9 に基づいてバイアス用の定電圧信号 S 7 0 を生成し、前記定電圧信号 S 7 0 を合成回路 3 0 に供給する。この設定信号 S 9 により、FET 2 のゲート入力信号のバイアス電圧を調整することができ、GaN 系半導体レーザ 3 の出力パワーの設定を行うことが可能である。

【0028】発振回路 1 0 は、発振制御信号 S 2 に基づいて所定の周波数の発振信号 S 1 0 を生成し、この発振信号 S 1 0 を共振回路 2 0 に供給する。この発振回路 1 0 は、発振制御信号 S 2 が第 1 の状態の場合に発振信号 S 1 0 を生成し、発振制御信号 S 2 が第 2 の状態の場合に発振信号 S 1 0 の生成を停止する。第 1 の状態の発振制御信号 S 2 は、再生時に発振回路 1 0 に供給される。

【0029】共振回路 2 0 は、例えばキャパシタ C とインダクタ L とを直列接続した LC 共振回路からなり、発

振信号 S 1 0 から特定の周波数の信号 S 2 0 を通過させ、この通過信号 S 2 0 を合成回路 3 0 に供給する。

【0030】合成回路 3 0 は、通過信号 S 2 0 と、第 1 および第 2 の増幅信号 S 6 1, S 6 2 と、定電圧信号 S 7 0 とが供給され、これらの信号を選択的に合成して合成信号 S c を生成し、この合成信号 S c をソースフォロワ 4 に供給する。合成回路 3 0 は、消去時には、第 1 の増幅信号 S 6 1 と定電圧信号 S 7 0 とを加算して合成信号 S c を生成し、この合成信号 S c を FET 2 のゲートに供給する。合成回路 3 0 は、記録時には、第 1 および第 2 の増幅信号 S 6 1, S 6 2 と定電圧信号 S 7 0 とを加算して合成信号 S c を生成し、この合成信号 S c を FET 2 のゲートに供給する。合成回路 3 0 は、再生時には、通過信号 S 2 0 と定電圧信号 S 7 0 とを加算して合成信号 S c を生成し、この合成信号 S c を FET 2 のゲートに供給する。

【0031】電源回路 1 は、電源制御信号 S 1 に基づいて GaN 系半導体レーザ 3 駆動用の電源電圧 V p を生成し、この電源電圧 V p をソースフォロワ 4 の FET 2 のドレインに供給する。電源制御信号 S 1 がイネーブル状態 (一方の状態) の場合では、電源回路 1 は電源電圧 V p を生成し、GaN 系半導体レーザ 3 はレーザ光を出力する。電源制御信号 S 1 がディスエーブル状態 (他方の状態) の場合では、電源回路 1 は電源電圧 V p の生成を停止して FET 2 への出力電圧を 0 V にし、GaN 系半導体レーザ 3 はレーザ光の出力を停止する。

【0032】FET 2 はゲート入力信号として合成信号 S c が供給され、この合成信号 S c に基づいて GaN 系半導体レーザ 3 に電源供給する。合成信号 S c の信号レベルは、消去時よりも記録時のほうが大きく、このため GaN 系半導体レーザ 3 には消去時よりも記録時のほうが大きい電圧が印加される。その結果、GaN 系半導体レーザ 3 の発光出力は、消去時よりも記録時のほうが大きくなる。

【0033】再生時の合成信号 S c は、特定周波数の通過信号 S 2 0 と定電圧信号 S 7 0 とを加算した信号からなるので、GaN 系半導体レーザ 3 からのレーザ光に前記特定周波数を重畳することができる。また、再生時の合成信号 S c が定電圧信号 S 7 0 からなる場合に比べ、GaN 系半導体レーザ 3 からのレーザ光出力を大きくすることができ、レーザ光の低出力時におけるレーザ光ノイズを低下させることが可能である。

【0034】図 2 は、図 1 の半導体レーザ駆動回路 1 0 の回路図である。但し、バッファ回路 4 0 を省略して描いている。なお、図中の符号 GND は、接地電位 (グラウンドレベル) を示す。前記入力信号 S 4 A は、入力電圧 V a 1 として第 1 のレベルシフト回路 5 1 に入力される。前記入力信号 S 5 A は、入力電圧 V a 2 として第 1 のレベルシフト回路 5 1 に入力される。前記入力信号 S 6 A は、入力電圧 V b 1 として第 2 のレベルシフト回路

52に入力される。前記入力信号S7Aは、入力電圧Vb2として第2のレベルシフト回路52に入力される。

【0035】前記第1のスイッチ制御信号S3は、入力電圧V61として第1のスイッチ回路61に入力される。前記第2のスイッチ制御信号S8は、入力電圧V62として第2のスイッチ回路62に入力される。前記電源制御信号S1は、入力電圧Vdとして電源回路1に入力される。前記発振制御信号S2は、入力電圧Vswとして発振回路10に入力される。前記設定信号S9は、入力電圧Vinとして定電圧回路70に入力される。

【0036】第1のレベルシフト回路51は、電源電圧Vccが供給されるコレクタ抵抗R5、R6と、入力電圧Va1、Va2が供給されるベース抵抗R1、R2と、エミッタ抵抗R3、R4と、差動対トランジスタQ2、Q3と、トランジスタQ1と、接地された負荷抵抗R9とを有する。トランジスタQ1、Q2、Q3は、npnトランジスタである。コレクタ抵抗R5、R6の抵抗値は等しく、ベース抵抗R1、R2の抵抗値は等しく、エミッタ抵抗R3、R4の抵抗値は等しく、トランジスタQ2、Q3の特性は等しい。

【0037】トランジスタQ1のコレクタはエミッタ抵抗R3、R4の接続点に接続され、エミッタは負荷抵抗R9に接続され、ベースは入力電圧V51が供給され、この入力電圧V51によりトランジスタQ1のコレクタ電流I1が設定される。トランジスタQ1および負荷抵抗R9により、トランジスタQ1のコレクタ電流を一定にする定電流源が形成されている。この定電流源は、前記入力電圧V51により、消去時（第1の動作モード時）および記録時（第2の動作モード時）に一定電流を出力し、再生時（第3の動作モード時）には電流の出力を停止する。

【0038】トランジスタQ2のベースはベース抵抗R1に接続され、コレクタはコレクタ抵抗R5に接続され、エミッタはエミッタ抵抗R3に接続されている。トランジスタQ3のベースはベース抵抗R2に接続され、コレクタはコレクタ抵抗R6に接続され、エミッタはエミッタ抵抗R4に接続されている。前記第1のレベルシフト信号S4Bは、トランジスタQ2のコレクタ電圧Va3として第1のスイッチ回路61内のベース抵抗R8に供給される。前記第1のレベルシフト信号S5Bは、トランジスタQ3のコレクタ電圧Va4として第1のスイッチ回路61内のベース抵抗R7に供給される。

【0039】第2のレベルシフト回路52は、電源電圧Vccが供給されるコレクタ抵抗R55、R56と、入力電圧Vb1、Vb2が供給されるベース抵抗R51、R52と、エミッタ抵抗R53、R54と、差動対トランジスタQ52、Q53と、トランジスタQ51と、接地された負荷抵抗R59とを有する。トランジスタQ51、Q52、Q53は、npnトランジスタである。コレクタ抵抗R55、R56の抵抗値は等しく、ベース抵

抗R51、R52の抵抗値は等しく、エミッタ抵抗R53、R54の抵抗値は等しく、トランジスタQ52、Q53の特性は等しい。

【0040】トランジスタQ51のコレクタはエミッタ抵抗R53、R54の接続点に接続され、エミッタは負荷抵抗R59に接続され、ベースは入力電圧V52が供給され、この入力電圧V52によりトランジスタQ51のコレクタ電流が設定される。トランジスタQ51および負荷抵抗R59により、トランジスタQ51のコレクタ電流を一定にする定電流源が形成されている。この定電流源は、前記入力電圧V52により、記録時（第2の動作モード時）に一定電流を出力し、消去時（第1の動作モード時）および再生時（第3の動作モード時）には電流出力を停止する。

【0041】トランジスタQ52のベースはベース抵抗R51に接続され、コレクタはコレクタ抵抗R55に接続され、エミッタはエミッタ抵抗R53に接続されている。トランジスタQ53のベースはベース抵抗R52に接続され、コレクタはコレクタ抵抗R56に接続され、エミッタはエミッタ抵抗R54に接続されている。前記第2のレベルシフト信号S6Bは、トランジスタQ52のコレクタ電圧Vb3として第2のスイッチ回路62内のベース抵抗R26に供給される。前記第2のレベルシフト信号S7Bは、トランジスタQ53のコレクタ電圧Vb4として第2のスイッチ回路62内のベース抵抗R25に供給される。

【0042】第1のスイッチ回路61は、電源電圧Vccが供給される負荷抵抗R10と、トランジスタQ4と、差動対トランジスタQ6、Q7と、ベース抵抗R7、R8とを有する。トランジスタQ4、Q6、Q7は、pnpトランジスタである。ベース抵抗R7、R8の抵抗値は等しく、トランジスタQ6、Q7の特性は等しい。

【0043】トランジスタQ4のコレクタは差動対トランジスタQ6、Q7の両エミッタの接続点に接続され、エミッタは負荷抵抗R10に接続され、ベースは入力電圧V61が供給され、この入力電圧V61によりトランジスタQ4のコレクタ電流が設定される。トランジスタQ4および負荷抵抗R10により、トランジスタQ4のコレクタ電流を一定にする定電流源が形成されている。この定電流源は、前記入力電圧V61により、消去時および記録時に一定電流を出力し、再生時には電流出力を停止する。

【0044】トランジスタQ7のエミッタはトランジスタQ4のコレクタに接続され、ベースはベース抵抗R7に接続され、コレクタは抵抗R13に接続されている。トランジスタQ6のエミッタはトランジスタQ4のコレクタに接続され、ベースはベース抵抗R8に接続され、コレクタは信号合成用の抵抗R12に接続されている。前記増幅信号S61は、トランジスタQ6のコレクタ電圧またはコレクタ電流i2として抵抗R12に供給され

る。

【0045】第2のスイッチ回路62は、電源電圧 V_{cc} が供給される負荷抵抗 R_{11} と、トランジスタ Q_5 と、差動対トランジスタ Q_8 、 Q_9 と、ベース抵抗 R_{26} 、 R_{25} と、接地されたコレクタ抵抗 R_{13} を有する。トランジスタ Q_5 、 Q_8 、 Q_9 は、 pnp トランジスタである。ベース抵抗 R_{25} 、 R_{26} の抵抗値は等しく、トランジスタ Q_8 、 Q_9 の特性は等しい。

【0046】トランジスタ Q_5 のコレクタは差動対トランジスタ Q_8 、 Q_9 の両エミッタの接続点に接続され、エミッタは負荷抵抗 R_{11} に接続され、ベースは入力電圧 V_{62} が供給され、この入力電圧 V_{62} によりトランジスタ Q_5 のコレクタ電流が設定される。トランジスタ Q_5 および負荷抵抗 R_{11} により、トランジスタ Q_5 のコレクタ電流を一定にする定電流源が形成されている。この定電流源は、前記入力電圧 V_{62} により、記録時に一定電流を出力し、消去時および再生時には電流出力を停止する。

【0047】トランジスタ Q_9 のエミッタはトランジスタ Q_5 のコレクタに接続され、ベースはベース抵抗 R_{25} に接続され、コレクタはコレクタ抵抗 R_{13} に接続されている。トランジスタ Q_8 のエミッタはトランジスタ Q_5 のコレクタに接続され、ベースはベース抵抗 R_{26} に接続され、コレクタは信号合成用の抵抗 R_{12} に接続されている。前記増幅信号 S_{62} は、トランジスタ Q_8 のコレクタ電圧またはコレクタ電流 i_3 として抵抗 R_{12} に供給される。

【0048】定電圧回路70は、電源電圧 V_{cc} が供給される抵抗 R_{16} と、抵抗 R_{17} と、接地された抵抗 R_{18} 、 R_{19} と、トランジスタ Q_{12} 、 Q_{13} とを有する。トランジスタ Q_{12} 、 Q_{13} は、 pnp トランジスタである。電源電圧 V_{cc} は、直列接続された抵抗 R_{16} 、 R_{17} 、 R_{18} により分圧されている。

【0049】トランジスタ Q_{12} のエミッタは入力電圧 V_{in} が供給され、ベースは前記抵抗 R_{17} 、 R_{18} の接続点に接続されて一定電圧が供給され、コレクタは抵抗 R_{19} に接続されている。トランジスタ Q_{13} のエミッタは抵抗 R_{16} 、 R_{17} 、 R_{12} の接続点に接続され、ベースは抵抗 R_{19} に接続され、コレクタは接地されている。トランジスタ Q_{12} のコレクタは、トランジスタ Q_{13} のベースに接続されている。定電圧回路70は、トランジスタ Q_{13} のエミッタ電圧（エミッタ電位）を一定電圧 V_1 にし、この一定電圧 V_1 を定電圧信号 S_7 として抵抗 R_{12} に供給する。

【0050】発振回路10は、所定の周波数の正弦波信号を生成する信号源 V_f と、接地されたスイッチング素子 SW とを有する。スイッチング素子 SW は、入力電圧 V_{sw} により制御される。信号源 V_f は、スイッチング素子 SW に接続されている。スイッチング素子 SW は再生時にオン状態となり、その結果、信号源 V_f は発振して

出力電圧 V_3 を生成する。前記発振信号 S_{10} は、出力電圧 V_3 として共振回路20に供給される。スイッチング素子 SW は記録時および消去時にオフ状態となり、その結果、信号源 V_f は発振を停止する。

【0051】共振回路20は、インダクタ L_1 およびキャパシタ C_1 を有し、インダクタ L_1 およびキャパシタ C_1 は直列接続されている。共振回路20は、発振回路10の出力信号から特定の周波数の信号電圧を通過させ、前記通過信号 S_{20} として抵抗 R_{12} に供給する。

10 【0052】合成回路30は、抵抗 R_{12} を有する。抵抗 R_{12} の一端は、トランジスタ Q_{13} のエミッタに接続され、定電圧 V_1 が供給される。抵抗 R_{12} の他端は、トランジスタ Q_6 、 Q_8 のコレクタに接続され、インダクタ L_1 に接続され、抵抗 R_{14} 、 R_{15} の接続点に接続されている。抵抗 R_{12} 、 R_{13} の抵抗値は等しい。

【0053】電源回路1は、電源電圧 V_{cc} が供給される抵抗 R_{20} 、 R_{21} と、トランジスタ Q_{14} 、 Q_{15} 、 Q_{16} と、ベース抵抗 R_{24} と、接地された抵抗 R_{22} 、 R_{23} とを有する。トランジスタ Q_{14} 、 Q_{16} は、 nnp トランジスタであり、トランジスタ Q_{15} は、 pnp トランジスタである。電源電圧 V_{cc} は、抵抗 R_{21} 、 R_{22} により分圧されている。

【0054】トランジスタ Q_{14} のコレクタは電源電圧 V_{cc} が供給され、エミッタは FET_{2A} 、 $2B$ のドレインに接続され、ベースは抵抗 R_{23} に接続されている。トランジスタ Q_{15} のコレクタは抵抗 R_{23} に接続され、エミッタは抵抗 R_{20} に接続され、ベースは前記抵抗 R_{21} 、 R_{22} の接続点に接続されて一定電圧が供給されている。トランジスタ Q_{16} のコレクタは抵抗 R_{23} に接続され、エミッタは接地され、ベースはベース抵抗 R_{24} に接続されている。トランジスタ Q_{14} のベースと、トランジスタ Q_{15} 、 Q_{16} のコレクタは互いに接続されている。電源回路1は、トランジスタ Q_{14} のエミッタ電圧を一定の電源電圧 V_p とし、この電源電圧 V_p をソースフォロワ4に供給する。

30 【0055】ソースフォロワ4は、ゲート抵抗 R_{14} 、 R_{15} と、 FET_{2A} 、 $2B$ と、 GaN 系半導体レーザ3とを有する。図1の FET_2 と対応付けると、 FET_2 として FET_{2A} 、 $2B$ を用いている。ゲート抵抗 R_{14} 、 R_{15} の抵抗値は等しく、 FET_{2A} 、 $2B$ の特性は等しい。 FET_{2A} 、 $2B$ は、 $GaAs-MESFET$ (Metal Semiconductor Field Effect Transistor) であり、高速動作が可能である。

【0056】 FET_{2A} のゲートはゲート抵抗 R_{14} に接続され、ドレインはトランジスタ Q_{14} のエミッタに接続され、ソースは GaN 系半導体レーザ3のアノードに接続されている。 FET_{2B} のゲートはゲート抵抗 R_{15} に接続され、ドレインはトランジスタ Q_{14} のエミッタに接続され、ソースは GaN 系半導体レーザ3のア

13

ノードに接続されている。Ga N系半導体レーザ3のカソードは、接地されている。抵抗R14、R15の接続点は、抵抗R12に接続されている。抵抗R14、R15を設けることで、電圧V2が上昇したときにFET2A、2Bのゲート・ソース間に順方向電流が流れるのを防止することができると共に、FET2A、2Bの個体差を吸収することができる利点がある。

【0057】次に、回路の動作を説明する。第1および第2のレベルシフト回路51、52は、差動増幅回路である。トランジスタQ1のコレクタ電流I1とコレクタ抵抗（負荷抵抗）R5とにより動作点が決まり、動作点電圧Vaは、次式①で表すことができる。なお、負荷抵抗R5の抵抗値をR5と表す。

【0058】

$$【数1】 V_a = V_{cc} - (I_1 \times R_5) / 2 \quad \cdots \textcircled{1}$$

【0059】また、差動入力電圧Via=|Va2-Va1|とし、差動出力電圧Voa=|Va4-Va3|とすると、差動入力電圧Viaと差動出力電圧Voaとの関係は次式②で表される。なお、負荷抵抗R3の抵抗値をR3と表す。

【0060】

$$【数2】 V_{oa} = V_{ia} \times R_5 / R_3 \quad \cdots \textcircled{2}$$

【0061】第1および第2のレベルシフト回路51、52は、入力電圧Va1、Va2、Vb1、Vb2をレベルシフトすることにより、ソースフォロワ4の制御電圧V2で高い電圧が要求されても、第1および第2のスイッチ回路61、62のトランジスタQ6~Q9が飽和しないようにしている。また、トランジスタQ6~Q9のpn接合が十分にオン/オフする電圧に入力電圧Va1、Va2、Vb1、Vb2を増幅し、第1および第2のスイッチ回路61、62が正確なスイッチングを行えるようにする。

【0062】仮に、半導体レーザ駆動回路100のバッファ回路50の入力電圧をスイッチ回路60に直接的に入力した場合、第1および第2のスイッチ回路61、62のトランジスタQ6、Q8のコレクタ電圧（コレクタ電位）が前記FETのソース端子電圧に伴って高くなる。その結果、トランジスタQ6、Q8のコレクタ・ベース間に順方向電圧が印加されてトランジスタQ6、Q*

$$V_1 = (V_{in} - V_{be1}) \times (1 + R_{17} / R_{18}) \quad \cdots \textcircled{4}$$

【0068】

※ ※ 【数5】

$$V_1 \leq (R_{17} + R_{18}) \times V_{cc} / (R_{16} + R_{17} + R_{18}) \quad \cdots \textcircled{5}$$

【0069】信号合成用の抵抗R12は、電流スイッチ（CSL）回路61、62で生成された出力電流の和（i2+i3）を電圧に変換し、さらに一定電圧V1を重畳した制御電圧V2を生成する。この制御電圧V2 ★

$$V_2 = (i_2 + i_3) \times R_{12} + (V_{in} - V_{be1}) \times (1 + R_{17} / R_{18}) \quad \cdots \textcircled{6}$$

【0071】ソースフォロワ4は、Ga N系半導体レーザ3を電圧により駆動する。直流的には、Ga N系半導

14

* 8が飽和し、出力信号波形が歪む可能性がある。更に、入力電圧の振幅が小さい場合には、トランジスタQ6、Q8がオン/オフを行わなくなる可能性があり、仮にトランジスタQ6、Q8がオン/オフを行ったとしてもスイッチ回路60でのレベルシフトにより出力信号波形が鈍る可能性がある。このため、レベルシフト回路50をスイッチ回路60の前段に接続することが好ましい。

【0063】第1および第2のスイッチ回路61、62は、ECL回路からなる電流スイッチ論理（CSL）回路である。差動トランジスタQ6、Q7の一方がオン状態の場合に、他方はオフ状態である。また、差動トランジスタQ8、Q9の一方がオン状態の場合に、他方はオフ状態である。トランジスタQ4のコレクタ電流は、トランジスタQ6、Q7のうちオン状態のほうのコレクタ電流に等しく、トランジスタQ5のコレクタ電流は、トランジスタQ8、Q9のうちオン状態のほうのコレクタ電流に等しい。トランジスタQ6のコレクタ電流i2とトランジスタQ8のコレクタ電流i3により、FET2A、2Bの制御電圧V2が決定される。この制御電圧V2は、次式③で表される。なお、抵抗R12の抵抗値をR12と表す。

【0064】

$$【数3】 V_2 = (i_2 + i_3) \times R_{12} + V_1 \quad \cdots \textcircled{3}$$

【0065】定電圧回路70は、シンク（Sink）型の電圧源であり、1段のトランジスタ増幅回路とバッファアンプで構成されている。この定電圧回路70では、出力電圧V1が負荷電流I13により変動しないように、フィードバック抵抗R17を設けている。この抵抗R17により、入力電圧Vinが変動しない限り、出力電圧V1は一定に保たれる。そして、定電圧回路70は、FET2A、2Bのゲートバイアス電圧を供給してGa N系半導体レーザ3の動作電圧を満たすようにしている。

【0066】定電圧回路70の出力電圧V1は、次式④で表される。なお、トランジスタQ12のベース・エミッタ間電圧をVbe1とし、抵抗R16、R17、R18の抵抗値を、それぞれ対応してR16、R17、R18と表す。また、入力電圧V1は、次式⑤を満たす。

【0067】

【数4】

$$V_1 = (V_{in} - V_{be1}) \times (1 + R_{17} / R_{18}) \quad \cdots \textcircled{4}$$

※ ※ 【数5】

$$V_1 \leq (R_{17} + R_{18}) \times V_{cc} / (R_{16} + R_{17} + R_{18}) \quad \cdots \textcircled{5}$$

★は、上式③、④を利用して次式⑥で表される。

【0070】

【数6】

体レーザ3に流入する負荷電流Ioは、Ga N系半導体レーザ3の電圧-電流特性と、FET2A、2Bのゲー

ト・ソース間電圧—ドレイン電流特性とにより決定される。この負荷電流 I_o は、次式⑦で表される。なお、式⑦において、 V_o は GaN 系半導体レーザ 3 の端子電圧であり、 V_t は FET 2A, 2B のしきい電圧（しきい値電圧）であり、 I_{dds} はドレイン飽和電流である。

【0072】

【数7】

$$I_o = I_{dds} \times \{1 + (V_2 - V_o) / V_t\}^2 \quad \cdots \textcircled{7}$$

【0073】電源回路1では、トランジスタQ15を有する定電流源と、トランジスタQ16を有する飽和スイッチ回路とを、プッシュプル構成に接続している。そして、飽和スイッチ回路により、定電流源からの一定電流 I_5 の流出先を制御し、一定電流 I_5 を負荷抵抗 R_{23} に流したり流さなかったりする。この電源回路1の出力電圧 V_p は、負荷抵抗 R_{23} に流れる電流 I_{23} により決まり、次式⑧で表される。なお、トランジスタQ14のベース・エミッタ間電圧を V_{be2} で表し、負荷抵抗 R_{23} の抵抗値を R_{23} と表す。

【0074】

$$V_p = I_{23} \times R_{23} - V_{be2} \quad \cdots \textcircled{8}$$

【0075】このように、トランジスタQ16がオン状態の場合は、電流 I_{23} は0または実質的に0になり、トランジスタQ14はオフ状態となる。その結果、GaN系半導体レーザ3は完全にオフ状態となる。また、トランジスタQ16がオフ状態の場合は、電流 I_{23} は一定のコレクタ電流 I_5 に等しく、トランジスタQ14はオン状態となり、前記出力電圧 V_p をソースフォロワ4に供給する。

【0076】ソースフォロワ4は、GaN系半導体レーザ3を電圧駆動する構成となっており、出力抵抗（出力インピーダンス）は小さく、出力容量は無視できる程度に小さい。また、FET 2A, 2Bを並列に用いることで、さらに出力抵抗を小さくし、この点からも高速駆動を可能としている。

【0077】また、ソースフォロワ4は、ミラー効果を抑制することができるので、負荷抵抗の抵抗値が大きい場合にも、パルス応答の遅れを抑えることが可能である。さらに、例えば、負荷抵抗にキャパシタを並列接続した場合にも、その容量に殆んど影響されずに負荷抵抗に電流を供給することができる。GaN系半導体レーザ3は、等価回路の観点からは、リード線のインダクタンスを無視すると負荷抵抗にキャパシタが並列接続された構成となるので、当該キャパシタの容量に殆んど影響されずに負荷抵抗に電流を供給することができ、レーザ光の出力波形が鈍ることを防止することができ、この点からも高速駆動を可能としている。

【0078】第2の実施の形態

図3は、本発明に係る第2の実施の形態の半導体レーザ駆動回路を示す概略的なブロック構成図である。この半導体レーザ駆動回路200は、図1の半導体レーザ駆動

回路100に対し、検出回路92およびフィードバック回路8を設けた構成である。なお、図1の半導体レーザ駆動回路100と同一の構成部分には同一符号を付しており、同一構成部分の説明を適宜省略する。

【0079】図3の制御回路5の内部は、概略的な等価回路が記入されており、駆動制御信号 S_c の信号発生源6と、可変電圧源7とが直列接続されている。この制御回路5は、駆動制御信号 S_c をフィードバック回路8に供給する。

【0080】検出回路92は、電源回路1とソースフォロワ4との間に接続され、電源回路1からソースフォロワ4に流入する電流を検出して検出信号 S_k を生成し、この検出信号 S_k をフィードバック回路8に供給する。

【0081】フィードバック回路8は、加算回路81および増幅回路82を有する。加算回路81は、駆動制御信号 S_c と検出信号 S_k が供給され、駆動制御信号 S_c から検出信号 S_k を減算して加算信号 S_{81} を生成し、この加算信号 S_{81} を増幅回路82に供給する。増幅回路82は、例えば演算増幅器（オペアンプ）、トランジスタ、FET等で構成され、加算信号 S_{81} を増幅して増幅信号 S_g を生成し、この増幅信号 S_g をゲート入力信号としてソースフォロワ4に供給する。

【0082】この半導体レーザ駆動回路200では、検出回路92と、フィードバック回路8と、ソースフォロワ4とにより、フィードバックループが形成されている。ソースフォロワ4内のGaN系半導体レーザ3に流入する電流を検出回路92により検出し、検出した電流値をレベル変換および電圧変換して検出信号 S_k を生成し、この検出信号 S_k をフィードバックしてGaN系半導体レーザ3の動作を安定化している。

【0083】この半導体レーザ駆動回路200では、GaN系半導体レーザ3の流入電流の値を検出する構成であり、GaN系半導体レーザ3の電圧—電流特性に依存することなく、前記流入電流を制御することができる。また、電源回路1からソースフォロワ4にパルス状の電流（パルス電流）が流入する場合についても、検出回路92およびフィードバック回路8が動作する周波数帯域を広く設定することで、制御することが可能である。

【0084】第3の実施の形態

図4は、本発明に係る第3の実施の形態の半導体レーザ駆動回路を示す概略的なブロック構成図である。この半導体レーザ駆動回路300は、図3の半導体レーザ駆動回路200に対し、検出回路92を取り除いて電源回路1は直接的にソースフォロワ4に電源供給する構成とし、さらに検出回路93を設けた構成である。なお、図3の半導体レーザ駆動回路200と同一の構成部分には同一符号を付しており、同一構成部分の説明を適宜省略する。

【0085】検出回路93は、GaN系半導体レーザ3の発光出力を検出して検出信号 S_k を生成し、この検出

信号S_kをフィードバック回路8に供給する。例えば、検出回路93は、Ga_N系半導体レーザ3から出力されたレーザ光をビームスプリッタを用いて分岐し、分岐したレーザ光を受光素子で受光して電気信号に変換し、この電気信号を増幅して前記検出信号S_kとする。

【0086】第4の実施の形態

次に、本発明に係る第4の実施の形態の半導体レーザ駆動回路を説明する。図5～図8は、本発明に係る第4の実施の形態の半導体レーザ駆動回路を示す概略的な回路図である。

【0087】図5は、第4の実施の形態の半導体レーザ駆動回路の原理を説明するための概略的な回路図である。この半導体レーザ駆動回路400は、スイッチング素子401と、ダイオード402と、定電圧源403と、Ga_N系半導体レーザ3と、定電流回路410とを有する。

【0088】定電流回路410は、Ga_N系半導体レーザ3に一定電流I₄₁₀を供給する。半導体レーザ駆動回路400では、スイッチング素子401と、ダイオード402と、定電圧源403とが直列接続されており、スイッチング素子401は駆動制御信号S_cによりオン状態またはオフ状態となる。定電圧源403は、スイッチング素子401がオン状態の場合にGa_N系半導体レーザ3に一定電圧を供給する。

【0089】この半導体レーザ駆動回路400では、バイアス用の直流電流は定電流回路410で生成し、高速駆動時は、スイッチング素子401を用いてパルス電圧を生成し、このパルス電圧をGa_N系半導体レーザ3に印加して高速応答を可能としている。半導体レーザ駆動回路400では、高速駆動時において、Ga_N系半導体レーザ3の電圧-電流特性に依存せず、Ga_N系半導体レーザ3を駆動することが可能である。この場合、Ga_N系半導体レーザ3に交流小信号が入力される場合の等価抵抗が電流帰還抵抗となる。

【0090】図6は、図5の半導体レーザ駆動回路400をより具体化した好適な半導体レーザ駆動回路の回路図である。この半導体レーザ駆動回路460は、FET404と、駆動制御信号S_cを生成する信号発生源405と、Ga_N系半導体レーザ3と、定電流回路410とを有する。図5中のスイッチング素子401およびダイオード402は、低出力インピーダンス駆動素子の一例であるFET404に含まれた構成となっている。Ga_N系半導体レーザ3は、ソースフォロウにより駆動されるようになっている。

【0091】定電流回路410は、電源電圧V_{cc}が供給されるエミッタ抵抗411と、トランジスタ412と、可変電圧源413とを有する。トランジスタ412は、pnpトランジスタである。トランジスタ412のエミッタはエミッタ抵抗411に接続され、コレクタはGa_N系半導体レーザ3のアノードに接続され、ベースは可

変電圧源413に接続されており、一定のコレクタ電流I₄₁₀を生成するようになっている。

【0092】FET404は、エンハンスメント型のnチャンネル電界効果トランジスタであり、例えばGaAs-FETを用いる。FET404のドレインには電源電圧V_{cc}が供給され、ゲートは信号発生源405に接続され、ソースはGa_N系半導体レーザ3のアノードに接続されている。Ga_N系半導体レーザ3のカソードは接地されている。

10 【0093】FET404がオン状態の場合には、FET404から駆動電圧がGa_N系半導体レーザ3に供給され、Ga_N系半導体レーザ3は青色レーザ光を出力する。FET404がオフ状態の場合には、FET404から駆動電圧がGa_N系半導体レーザ3に供給されず、Ga_N系半導体レーザ3は発光出力を停止し、または定電流I₄₁₀に基づく低出力もしくは定出力の発光を行う。

【0094】図7は、図6の半導体レーザ駆動回路460の変形例を示す回路図である。なお、図6の半導体レーザ駆動回路460と同一構成部分には同一符号を付しており、同一構成部分の説明を適宜省略する。この半導体レーザ駆動回路470は、前記半導体レーザ駆動回路460に対し、抵抗(第1の抵抗素子)406およびキャパシタ407を設けた構成である。FET404のソースは、抵抗406を介して接地されている。また、FET404のソースは、キャパシタ407を介してGa_N系半導体レーザ3のアノードに接続されている。

【0095】抵抗406およびキャパシタ407を有することで、FET404のソースからパルス電圧が出力された場合に、キャパシタ407によりパルス電圧の高周波成分をGa_N系半導体レーザ3に供給することができ、パルス電圧の低周波成分を遮断することができ、高速駆動時に高周波電圧をGa_N系半導体レーザ3に印加することが可能である。

【0096】図8は、図7の半導体レーザ駆動回路470の変形例を示す回路図である。なお、図7の半導体レーザ駆動回路470と同一構成部分には同一符号を付しており、同一構成部分の説明を適宜省略する。この半導体レーザ駆動回路480は、前記半導体レーザ駆動回路470に対し、定電流回路410とGa_N系半導体レーザ3との間に、チョークコイル等のインダクタ408を設けた構成である。

【0097】インダクタ408を有することで、定電流回路410の出力容量(図8ではコレクタ容量)がGa_N系半導体レーザ3の接合容量以上の大きさを有する場合に、キャパシタ407からのパルス電流が定電流回路410の出力端子に流入することを防止することができる。なお、定電流回路410とGa_N系半導体レーザ3との間には、インダクタ408に代えて抵抗(第2の抵抗素子)を設けてもよく、前記抵抗とインダクタ408

とを直列接続して設けてもよい。

【0098】また、FET404のゲートには、前記制御回路5を接続して駆動制御信号Scをゲートに供給する構成としてもよい。低出力インピーダンス駆動素子としてバイポーラトランジスタを用いると共に、ソースフォロワ4に代えてエミッタフォロワを用いてもよい。また、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【0099】

【発明の効果】本発明に係る第1の半導体レーザ駆動回路では、低出力インピーダンス駆動素子を介して高抵抗半導体レーザに駆動電圧を供給するので、高抵抗半導体レーザに効果的に電源を供給することができる。また、低出力インピーダンス駆動素子によりミラー効果を抑制することができ、駆動制御信号の周波数を高くして高抵抗半導体レーザの駆動速度を向上することが可能である。

【0100】さらに、前記制御回路は、第1および第2のスイッチ回路と、第1および第2のスイッチ回路の出力信号を合成して前記駆動制御信号を生成する合成回路とを有することで、駆動制御信号の信号レベルを多段階に変化させることができ、GaN系半導体レーザの発光強度を多段階に制御することが可能である。

【0101】本発明に係る第2の半導体レーザ駆動回路では、低出力インピーダンス駆動素子を介して高抵抗半導体レーザに駆動電圧を供給するので、高抵抗半導体レーザに効果的に電源を供給することができる。また、低出力インピーダンス駆動素子によりミラー効果を抑制することができ、駆動制御信号の周波数を高くして高抵抗半導体レーザの駆動速度を向上することが可能である。また、高抵抗半導体レーザに接続された定電流回路により、高抵抗半導体レーザの動作点を設定することができ、高抵抗半導体レーザの通常出力時のレーザ光強度を設定することが可能である。

【0102】また、低出力インピーダンス駆動素子と高抵抗半導体レーザとをキャパシタを介して接続することで、低出力インピーダンス駆動素子の出力電圧のうち高周波成分を高抵抗半導体レーザに供給し、低周波成分を

遮断することができ、GaN系半導体レーザの発光強度をパルス状に変化させることが可能である。

【図面の簡単な説明】

【図1】本発明に係る半導体レーザ駆動回路の実施の形態を示す概略的なブロック構成図である。

【図2】図1の半導体レーザ駆動回路の回路図である。

【図3】本発明に係る第2の実施の形態の半導体レーザ駆動回路を示す概略的なブロック構成図である。

【図4】本発明に係る第3の実施の形態の半導体レーザ駆動回路を示す概略的なブロック構成図である。

【図5】本発明に係る第4の実施の形態の半導体レーザ駆動回路の原理を説明する概略的な回路図である。

【図6】本発明に係る第4の実施の形態の半導体レーザ駆動回路の一例を示す概略的な回路図である。

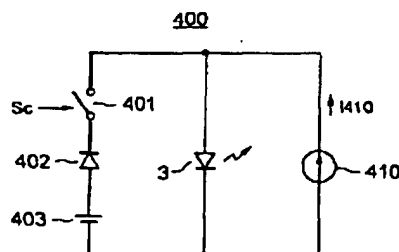
【図7】本発明に係る第4の実施の形態の半導体レーザ駆動回路の他の一例を示す概略的な回路図である。

【図8】本発明に係る第4の実施の形態の半導体レーザ駆動回路の他の一例を示す概略的な回路図である。

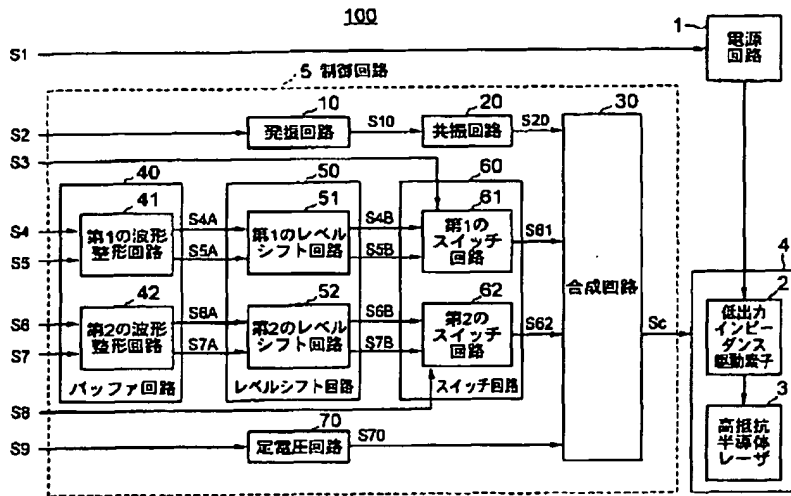
【符号の説明】

1…電源回路、2、2A、2B、404…低出力インピーダンス駆動素子（電界効果トランジスタ）、3…高抵抗半導体レーザ（GaN系半導体レーザ）、4…ソースフォロワ、5…制御回路、6…信号発生源、7…可変電圧源、8…フィードバック回路、92、93…検出回路、10…発振回路、20…共振回路、30…合成回路、40…バッファ回路、41…第1の波形整形回路、42…第2の波形整形回路、50…レベルシフト回路、51…第1のレベルシフト回路、52…第2のレベルシフト回路、60…スイッチ回路、61…第1のスイッチ回路、62…第2のスイッチ回路、70…定電圧回路、81…加算回路、82…増幅回路、100、200、300、400、460、470、480…半導体レーザ駆動回路、401…スイッチング素子、402…ダイオード、403…定電圧源、405…信号発生源、406…抵抗（第1の抵抗素子）、407…キャパシタ、408…インダクタ、410…定電流回路、411…エミッタ抵抗、412…トランジスタ、413…可変電圧源、GND…接地電位。

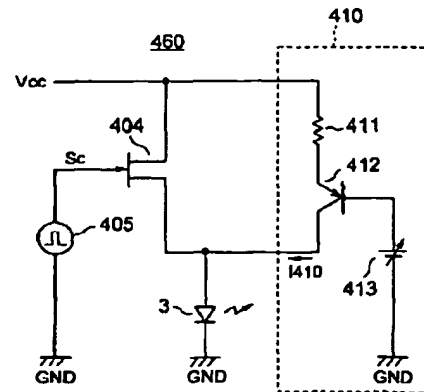
【図5】



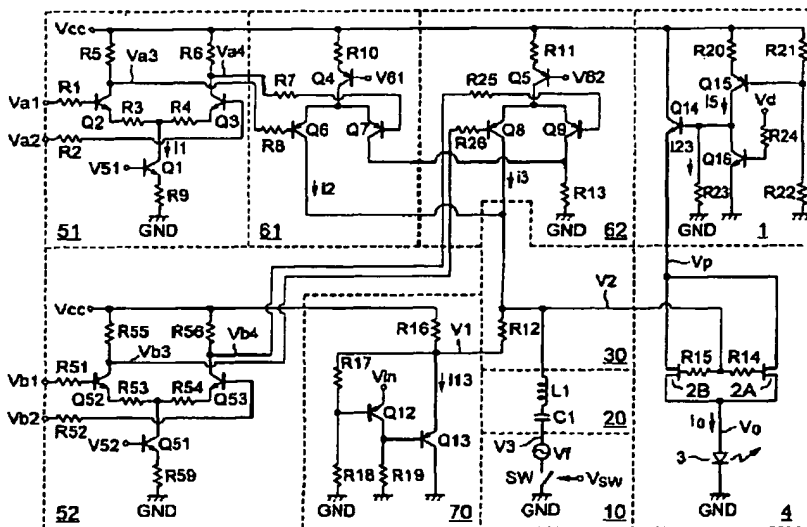
【図1】



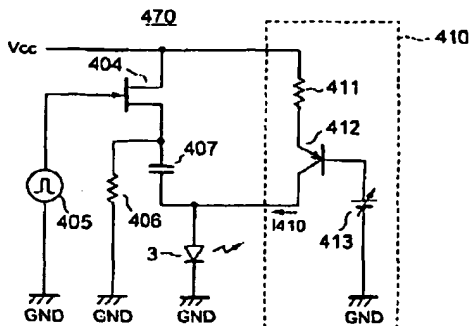
【図6】



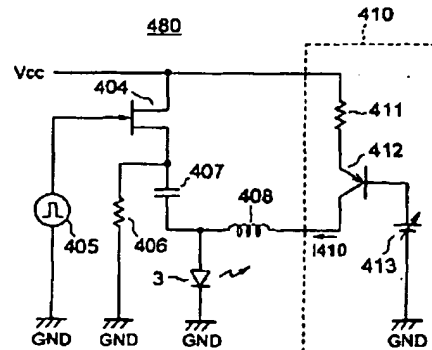
【図2】



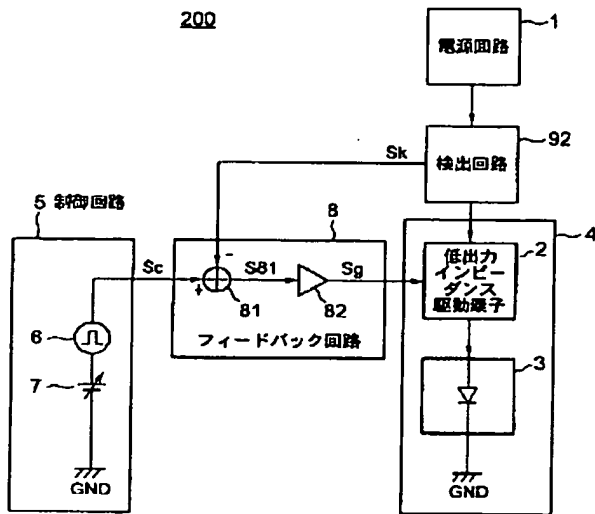
【図7】



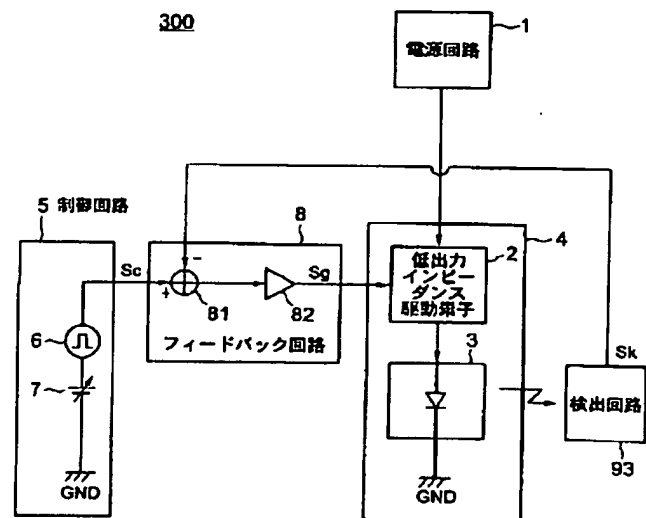
【図8】



【図3】



【図4】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor laser drive circuit which is a semiconductor laser drive circuit which drives high resistance semiconductor laser, and has the control circuit which generates a drive control signal, and the low-power output impedance driver element which carries out the voltage drive of the aforementioned quantity resistance semiconductor laser based on the aforementioned drive control signal.

[Claim 2] The semiconductor laser drive circuit according to claim 1 characterized by providing the following. The aforementioned control circuit is the 1st switching circuit which the 1st input signal and the 1st switch control signal are supplied, and controls and outputs the signal level of the 1st input signal of the above based on the switch control signal of the above 1st. The 2nd switching circuit which the 2nd input signal and the 2nd switch control signal are supplied, and controls and outputs the signal level of the 2nd input signal of the above based on the switch control signal of the above 2nd. The synthetic circuit which compounds the output signal of the above 1st and the 2nd switching circuit, and generates the aforementioned drive control signal.

[Claim 3] It is the semiconductor laser drive circuit according to claim 2 which it has further the voltage stabilizer which generates the constant-voltage signal for bias, the aforementioned quantity resistance semiconductor laser is driven according to two or more modes of operation, and the aforementioned synthetic circuit compounds the aforementioned constant-voltage signal and the output signal of the 1st switching circuit of the above in the case of the 1st mode of operation, and compounds the output signal of the aforementioned constant-voltage signal, the above 1st, and the 2nd switching circuit in the case of the 2nd mode of operation.

[Claim 4] It is the semiconductor laser drive circuit according to claim 3 where it has further the oscillator circuit which generates an oscillation signal, and the aforementioned synthetic circuit compounds the aforementioned constant-voltage signal and the aforementioned oscillation signal in the case of the 3rd mode of operation.

[Claim 5] It is the semiconductor laser drive circuit according to claim 4 where it has further the resonance circuit connected between the aforementioned oscillator circuit and the aforementioned synthetic circuit, and the aforementioned synthetic circuit compounds the aforementioned oscillation signal which passed the aforementioned resonance circuit in the case of the 3rd mode of operation of the above, and the aforementioned constant-voltage signal.

[Claim 6] The semiconductor laser drive circuit according to claim 2 which has further the 1st level shift circuit which the 3rd input signal is supplied, carries out the level shift of this 3rd input signal, and generates the 1st input signal of the above, and the 2nd level shift circuit which the 4th input signal is supplied, carries out the level shift of this 4th input signal, and generates the 2nd input signal of the above.

[Claim 7] Each of the above 1st and the 2nd level shift circuit It is the differential-amplifier circuit which consists of an emitter coupled logic circuit. the 1st switching circuit of the above It is the current switch logical circuit to which a current source is connected to the emitter of a differential pair

transistor, and the output current of this current source is set by the switch control signal of the above 1st. The 2nd switching circuit of the above is a semiconductor laser drive circuit according to claim 6 which is a current switch logical circuit to which a current source is connected to the emitter of a differential pair transistor, and the output current of this current source is set by the switch control signal of the above 2nd.

[Claim 8] The semiconductor laser drive circuit according to claim 6 which has further the 1st waveform shaping circuit which the 5th input signal is supplied, shapes this 5th input signal in waveform, and generates the 3rd input signal of the above, and the 2nd waveform shaping circuit which the 6th input signal is supplied, shapes this 6th input signal in waveform, and generates the 4th input signal of the above.

[Claim 9] It is the semiconductor laser drive circuit according to claim 1 which it has further the power circuit which supplies supply voltage to the aforementioned quantity resistance semiconductor laser through the aforementioned low-power output impedance driver element, the aforementioned power circuit outputs the aforementioned supply voltage to the aforementioned low-power output impedance driver element when the control signal of the aforementioned power circuit is enabling state, and suspends the output of the aforementioned supply voltage when the control signal of the aforementioned power circuit is in a disable state.

[Claim 10] The semiconductor laser drive circuit according to claim 1 which has further the detector which detects the inrush current or luminescence intensity of the aforementioned quantity resistance semiconductor laser, and the feedback circuit which feeds back the output signal of the aforementioned detector to the aforementioned low-power output impedance driver element.

[Claim 11] It is the semiconductor laser drive circuit according to claim 1 driven by the source follower for which the aforementioned quantity resistance semiconductor laser is GaN system semiconductor laser, the aforementioned low-power output impedance driver element is a field-effect transistor, and the aforementioned GaN system semiconductor laser used the aforementioned field-effect transistor.

[Claim 12] The semiconductor laser drive circuit which is a semiconductor laser drive circuit which drives high resistance semiconductor laser, and has the current regulator circuit connected to the node of the control circuit which generates a drive control signal, the low-power output impedance driver element which carries out the voltage drive of the aforementioned quantity resistance semiconductor laser based on the aforementioned drive control signal, and the aforementioned low-power output impedance driver element and the aforementioned quantity resistance semiconductor laser.

[Claim 13] It is the semiconductor laser drive circuit according to claim 12 where the aforementioned quantity resistance semiconductor laser and the aforementioned low-power output impedance driver element are connected through a capacitor, the node of the aforementioned capacitor and the aforementioned low-power output impedance driver element is grounded through the 1st resistance element, and the aforementioned current regulator circuit is connected to the node of the aforementioned capacitor and the aforementioned quantity resistance semiconductor laser.

[Claim 14] The aforementioned quantity resistance semiconductor laser and the aforementioned current regulator circuit are a semiconductor laser drive circuit according to claim 12 connected through an inductor or the 2nd resistance element.

[Claim 15] It is the semiconductor laser drive circuit according to claim 12 driven by the source follower for which the aforementioned quantity resistance semiconductor laser is GaN system semiconductor laser, the aforementioned low-power output impedance driver element is a field-effect transistor, and the aforementioned GaN system semiconductor laser used the aforementioned field-effect transistor.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor laser drive circuit which drives high resistance semiconductor laser, such as GaN system semiconductor laser.

[0002]

[Description of the Prior Art] In recent years, as for the optical disk which is an information record medium, densification and large capacity-ization are progressing. With this densification and large-capacity-izing, it is required that the luminescence pulse width of a laser beam should be short, and it is required that the edge of the wave of a laser beam should be steep.

[0003] The conventional semiconductor laser drive circuit which drives semiconductor laser controls the laser beam output of semiconductor laser by switching the size of drive current. For example, the conventional semiconductor laser drive circuit has the current regulator circuit of plurality (a part for a multiple channel) which used the transistor, adds the output current of each current regulator circuit, and supplies it to semiconductor laser.

[0004]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional semiconductor laser drive circuit, since a parasitic capacitance exists in the output terminal of a current regulator circuit, it follows on increasing the number of a current regulator circuit, and total of a parasitic capacitance becomes large. Moreover, since a transistor constitutes a current regulator circuit, a Miller effect arises with the capacity during I/O. It is difficult for it to be difficult for the frequency characteristic and a transient characteristic to deteriorate in the conventional semiconductor laser drive circuit, and to shorten luminescence pulse width of semiconductor laser, and to carry out a high-speed drive according to these factors.

[0005] Since the impedance is large compared with other semiconductor laser, especially the GaN system semiconductor laser that emits a purple-blue color laser beam is difficult to drive at high speed in a conventional current control type semiconductor laser drive circuit. The purpose of this invention is to offer the semiconductor laser drive circuit which can improve the drive speed of high resistance semiconductor laser, such as GaN system semiconductor laser.

[0006]

[Means for Solving the Problem] The 1st semiconductor laser drive circuit concerning this invention has the control circuit which generates a drive control signal, and the low-power output impedance driver element which carries out the voltage drive of the aforementioned quantity resistance semiconductor laser based on the aforementioned drive control signal.

[0007] The 1st semiconductor laser drive circuit concerning this invention The 1st switching circuit which the 1st input signal and the 1st switch control signal are supplied, and the aforementioned control circuit controls the signal level of the 1st input signal of the above based on the switch control signal of the above 1st, and is outputted suitably, The 2nd switching circuit which the 2nd input signal and the 2nd switch control signal are supplied, and controls and outputs the signal level of the 2nd input signal

of the above based on the switch control signal of the above 2nd, It has the synthetic circuit which compounds the output signal of the above 1st and the 2nd switching circuit, and generates the aforementioned drive control signal.

[0008] The 1st semiconductor laser drive circuit concerning this invention It has further more suitably the voltage stabilizer which generates the constant-voltage signal for bias. the aforementioned quantity resistance semiconductor laser Driving according to two or more modes of operation, in the case of the 1st mode of operation, the aforementioned synthetic circuit compounds the aforementioned constant-voltage signal and the output signal of the 1st switching circuit of the above, and, in the case of the 2nd mode of operation, compounds the output signal of the aforementioned constant-voltage signal, the above 1st, and the 2nd switching circuit.

[0009] The 1st semiconductor laser drive circuit concerning this invention has more suitably the oscillator circuit which generates an oscillation signal further, and, in the case of the 3rd mode of operation, the aforementioned synthetic circuit compounds the aforementioned constant-voltage signal and the aforementioned oscillation signal. The 1st semiconductor laser drive circuit concerning this invention has further the resonance circuit connected between the aforementioned oscillator circuit and the aforementioned synthetic circuit, and the aforementioned synthetic circuit is good also as composition which compounds the aforementioned oscillation signal which passed the aforementioned resonance circuit in the case of the 3rd mode of operation of the above, and the aforementioned constant-voltage signal.

[0010] The 1st semiconductor laser drive circuit concerning this invention has further more suitably the 1st level shift circuit which the 3rd input signal is supplied, carries out the level shift of this 3rd input signal, and generates the 1st input signal of the above, and the 2nd level shift circuit which the 4th input signal is supplied, carries out the level shift of this 4th input signal, and generates the 2nd input signal of the above. The 1st semiconductor laser drive circuit concerning this invention Each of the above 1st and the 2nd level shift circuit It is the differential-amplifier circuit which consists of an emitter coupled logic circuit. the 1st switching circuit of the above It is the current switch logical circuit to which a current source is connected to the emitter of a differential pair transistor, and the output current of this current source is set by the switch control signal of the above 1st. The 2nd switching circuit of the above is good also as composition which is the current switch logical circuit to which a current source is connected to the emitter of a differential pair transistor, and the output current of this current source is set by the switch control signal of the above 2nd.

[0011] For example, the aforementioned quantity resistance semiconductor laser of the 1st semiconductor laser drive circuit concerning this invention is GaN system semiconductor laser, the aforementioned low-power output impedance driver element is a field-effect transistor, and the aforementioned GaN system semiconductor laser is good also as composition driven by the source follower which used the aforementioned field-effect transistor.

[0012] The 2nd semiconductor laser drive circuit concerning this invention has the current regulator circuit connected to the node of the control circuit which generates a drive control signal, the low-power output impedance driver element which carries out the voltage drive of the aforementioned quantity resistance semiconductor laser based on the aforementioned drive control signal, and the aforementioned low-power output impedance driver element and the aforementioned quantity resistance semiconductor laser.

[0013] In the 2nd semiconductor laser drive circuit concerning this invention, suitably, the aforementioned quantity resistance semiconductor laser and the aforementioned low-power output impedance driver element are connected through a capacitor, the node of the aforementioned capacitor and the aforementioned low-power output impedance driver element is grounded through the 1st resistance element, and the aforementioned current regulator circuit is connected to the node of the aforementioned capacitor and the aforementioned quantity resistance semiconductor laser.

[0014] In the 2nd semiconductor laser drive circuit concerning this invention, the aforementioned quantity resistance semiconductor laser and the aforementioned current regulator circuit are suitably connected through an inductor or the 2nd resistance element. For example, the aforementioned quantity

resistance semiconductor laser is GaN system semiconductor laser, the aforementioned low-power output impedance driver element is a field-effect transistor, and the aforementioned GaN system semiconductor laser is good in the 2nd semiconductor laser drive circuit concerning this invention also as composition driven by the source follower which used the aforementioned field-effect transistor.

[0015] In the 1st and 2nd semiconductor laser drive circuits concerning the above-mentioned this invention, since the voltage drive of the high resistance semiconductor laser is carried out by the low-power output impedance driver element, a power supply can be effectively supplied to high resistance semiconductor laser. Moreover, it is possible to be able to suppress a Miller effect and to improve the drive speed of high resistance semiconductor laser by supplying a power supply to high resistance semiconductor laser through a low-power output impedance driver element. By considering as the composition in which current supply is carried out by the source follower, the Miller effect in a field-effect transistor can be suppressed, and high resistance semiconductor laser can be improved more in the drive speed of high resistance semiconductor laser, such as GaN system semiconductor laser.

[0016] Moreover, since it has the current regulator circuit connected to the node of a low-power output impedance driver element and high resistance semiconductor laser, it is possible to supply fixed current to high resistance semiconductor laser, and it is possible to make the laser beam according to this fixed current output at the time of usual in the 2nd semiconductor laser drive circuit concerning the above-mentioned this invention.

[0017]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to an accompanying drawing.

[0018] Gestalt drawing 1 of the 1st operation is the rough block block diagram showing the gestalt of operation of the semiconductor laser drive circuit concerning this invention. The semiconductor laser drive circuit 100 is installed in the record regenerative apparatus which records information on an optical disk or reproduces the storage information on an optical disk with the gestalt of this operation. This semiconductor laser drive circuit 100 has a power circuit 1, a source follower (grounded-drain circuit) 4, and the control circuit 5 that generates the drive control signal Sc.

[0019] A source follower 4 has the low-power output impedance driver element 2 and the high resistance semiconductor laser 3. The low-power output impedance driver element 2 consists of n channel field-effect transistors (FET:Field Effect Transistor) of an enhancement type. The high resistance semiconductor laser 3 consists of GaN system semiconductor laser (GaN system semiconductor laser diode) which outputs for example, a purple-blue color laser beam. Hereafter, the low-power output impedance driver element 2 is FET, and the case where the high resistance semiconductor laser 3 is GaN system semiconductor laser is explained. The drain of FET2 is connected to a power circuit 1, and the source is connected to the GaN system semiconductor laser 3.

[0020] A control circuit 5 has an oscillator circuit 10, a resonance circuit 20, the synthetic circuit 30, a buffer circuit 40, the level shift circuit 50, a switching circuit 60, and a voltage stabilizer 70. The aforementioned buffer circuit 40 has the 1st waveform shaping circuit 41 and the 2nd waveform shaping circuit 41. The aforementioned level shift circuit 50 has the 1st level shift circuit 51 and the 2nd level shift circuit 52. The aforementioned switching circuit 60 has the 1st switching circuit 61 and the 2nd switching circuit 62.

[0021] 5th input signal S4 and S5 are inputted into the 1st waveform shaping circuit 41. Input signal S4 of the above 5th and S5 are the relation between a reversal signal and a noninverting signal mutually, and have become a pair (pair). The 6th input signal S6 and S7 is inputted into the 2nd waveform shaping circuit 42. The 6th input signal S6 and S7 of the above is the relation between a reversal signal and a noninverting signal mutually, and has become a pair (pair).

[0022] In addition, when eliminating in the case of the 1st mode of operation (i.e., the storage information on an optical disk) (at the time of elimination), input signal S4 and S5 are supplied only to the 1st waveform shaping circuit 41 among the 1st and 2nd waveform shaping circuits 41 and 42. Moreover, when making information write in and memorize in the case of the 2nd mode of operation (i.e., an optical disk) (at the time of record), while input signal S4 and S5 are supplied to the 1st

waveform shaping circuit 41, input signals S6 and S7 are supplied to the 2nd waveform shaping circuit 42, and as for the radiant power output (luminescence intensity) of the GaN system semiconductor laser 3, the way at the time of record becomes large rather than the time of elimination. Moreover, when reading in the case of the 3rd mode of operation (i.e., the storage information on an optical disk) (at the time of reproduction), an input signal is not supplied to the 1st and 2nd waveform shaping circuits 41 and 42.

[0023] The 1st waveform shaping circuit 41 shapes 5th input signal S4 and S5 in waveform, generates signal S4A and S5A, and supplies aforementioned signal S4A and S5A to the 1st level shift circuit 51 as the 3rd input signal. The 2nd waveform shaping circuit 42 shapes the 6th input signal S6 and S7 in waveform, generates signal S6A and S7A, and supplies the aforementioned signal S6A and S7A to the 2nd level shift circuit 52 as the 4th input signal. The 1st and 2nd waveform shaping circuits 41 and 42 input the signal of p-ECL level, output the signal of p-ECL level, and operate orthopedically the signal whose edge became blunt to a signal with a steep edge. By considering as such composition, when the transmission line of an input signal is extended, **** of the wave of an input signal can be stopped by the buffer circuit 40.

[0024] The 1st level shift circuit 51 carries out the level shift of the 3rd input signal S4A and the S5A (signal level), generates signal S4B and S5B, and supplies aforementioned signal S4B and S5B to the 1st switching circuit 61 as the 1st input signal. The 2nd level shift circuit 52 carries out the level shift of 4th input signal S6A and the S7A (signal level), generates signal S6B and S7B, and supplies the aforementioned signal S6B and S7B to the 2nd switching circuit 62 as the 2nd input signal. The 1st and 2nd level shift circuits 51 and 52 consist of differential-amplifier circuits which consist of an emitter coupled logic (ECL:Emitter Coupled Logic) circuit.

[0025] The 1st switching circuit 61 amplifies 1st input signal S4[of the above] B, and S5B based on the 1st switch control signal S3, generates the 1st amplification signal S61, and supplies this 1st amplification signal S61 to the synthetic circuit 30. The 1st amplification control signal (1st switch control signal) S3 can adjust the amplification degree of the 1st switching circuit 61.

[0026] The 2nd switching circuit 62 amplifies input signal S6B of the above 2nd, and S7B based on the 2nd switch control signal S8, generates the 2nd amplification signal S62, and supplies this 2nd amplification signal S62 to the synthetic circuit 30. The 2nd amplification control signal (2nd switch control signal) S8 can adjust the amplification degree of the 2nd switching circuit 62. The 1st and 2nd switching circuits 61 and 62 consist of current switch logic (CSL:Current Switch Logic) circuits which consist of an ECL circuit.

[0027] A voltage stabilizer 70 generates the constant-voltage signal S70 for bias based on setpoint-signal S9, and supplies the aforementioned constant-voltage signal S70 to the synthetic circuit 30. It is possible to be able to adjust the bias voltage of the gate input signal of FET2, and to set up output power of the GaN system semiconductor laser 3 by this setpoint-signal S9.

[0028] An oscillator circuit 10 generates the oscillation signal S10 of predetermined frequency based on the oscillation control signal S2, and supplies this oscillation signal S10 to a resonance circuit 20. This oscillator circuit 10 generates the oscillation signal S10, when the oscillation control signal S2 is in the 1st state, and when the oscillation control signal S2 is in the 2nd state, it suspends generation of the oscillation signal S10. The oscillation control signal S2 of the 1st state is supplied to an oscillator circuit 10 at the time of reproduction.

[0029] A resonance circuit 20 consists of a LC resonance circuit which carried out the series connection of the inductor L to for example, the capacitor C, passes the signal S20 of specific frequency from the oscillation signal S10, and supplies this passage signal S20 to the synthetic circuit 30.

[0030] The passage signal S20, the 1st and 2nd amplification signals S61 and S62, and the constant-voltage signal S70 are supplied, and the synthetic circuit 30 compounds these signals alternatively, generates a composite signal Sc, and supplies this composite signal Sc to a source follower 4. The synthetic circuit 30 adds the 1st amplification signal S61 and constant-voltage signal S70 at the time of elimination, generates a composite signal Sc at it, and supplies this composite signal Sc to the gate of FET2. The synthetic circuit 30 adds the 1st and 2nd amplification signals S61 and S62 and constant-

voltage signals S70 at the time of record, generates a composite signal Sc at it, and supplies this composite signal Sc to the gate of FET2. The synthetic circuit 30 adds the passage signal S20 and the constant-voltage signal S70 at the time of reproduction, generates a composite signal Sc at it, and supplies this composite signal Sc to the gate of FET2.

[0031] A power circuit 1 generates the supply voltage pinch off voltage for GaN system semiconductor laser 3 drive based on the power control signal S1, and supplies this supply voltage pinch off voltage to the drain of FET2 of a source follower 4. In the case where the power control signal S1 is enabling state (one state), a power circuit 1 generates supply voltage pinch off voltage, and the GaN system semiconductor laser 3 outputs a laser beam. In the case where the power control signal S1 is in a disable state (state of another side), a power circuit 1 suspends generation of supply voltage pinch off voltage, and sets output voltage to FET2 to 0V, and the GaN system semiconductor laser 3 suspends the output of a laser beam.

[0032] A composite signal Sc is supplied as a gate input signal, and current supply of FET2 is carried out to the GaN system semiconductor laser 3 based on this composite signal Sc. The signal level of a composite signal Sc has a way larger than the time of elimination at the time of record, and, for this reason, voltage with the larger way at the time of record than the time of elimination is impressed to the GaN system semiconductor laser 3. Consequently, as for the radiant power output of the GaN system semiconductor laser 3, the way at the time of record becomes large rather than the time of elimination.

[0033] Since the composite signal Sc at the time of reproduction consists of a signal adding the passage signal S20 and the constant-voltage signal S70 of specific frequency, the aforementioned specific frequency can be superimposed on a laser beam from the GaN system semiconductor laser 3. Moreover, compared with the case where the composite signal Sc at the time of reproduction consists of a constant-voltage signal S70, the laser beam output from the GaN system semiconductor laser 3 can be enlarged, and it is possible to reduce the laser beam noise at the time of the low-power output of a laser beam.

[0034] Drawing 2 is the circuit diagram of the semiconductor laser drive circuit 100 of drawing 1. However, the buffer circuit 40 is omitted and drawn. In addition, the sign GND in drawing shows grounding potential (grand level). The aforementioned input signal S4A is inputted into the 1st level shift circuit 51 as input voltage Va1. The aforementioned input signal S5A is inputted into the 1st level shift circuit 51 as input voltage Va2. The aforementioned input signal S6A is inputted into the 2nd level shift circuit 52 as input voltage Vb1. The aforementioned input signal S7A is inputted into the 2nd level shift circuit 52 as input voltage Vb2.

[0035] The switch control signal S3 of the above 1st is inputted into the 1st switching circuit 61 as input voltage V61. The switch control signal S8 of the above 2nd is inputted into the 2nd switching circuit 62 as input voltage V62. The aforementioned power control signal S1 is inputted into a power circuit 1 as input voltage Vd. The aforementioned oscillation control signal S2 is inputted into an oscillator circuit 10 as input voltage Vsw. The aforementioned setpoint signal S9 is inputted into a voltage stabilizer 70 as input voltage Vin.

[0036] The 1st level shift circuit 51 has the collector resistances R5 and R6 to which supply voltage Vcc is supplied, the base resistance R1 and R2 to which input voltage Va1 and Va2 is supplied, emitter resistances R3 and R4, the differential pair transistors Q2 and Q3, a transistor Q1, and the grounded load resistance R9. Transistors Q1, Q2, and Q3 are npn transistors. The resistance of collector resistances R5 and R6 is equal, the resistance of base resistance R1 and R2 is equal, the resistance of emitter resistances R3 and R4 is equal, and the property of transistors Q2 and Q3 is equal.

[0037] The collector of a transistor Q1 is connected to the node of emitter resistances R3 and R4, an emitter is connected to load resistance R9, input voltage V51 is supplied and, as for the base, the collector current I1 of a transistor Q1 is set up with this input voltage V51. Of a transistor Q1 and load resistance R9, the constant current source which makes the collector current of a transistor Q1 regularity is formed. With the aforementioned input voltage V51, this constant current source outputs fixed current at the time of elimination and record (at the time of the 1st mode of operation) (at the time of the 2nd mode of operation), and suspends the output of current at the time of reproduction (at the time of the 3rd mode of operation).

[0038] The base of a transistor Q2 is connected to base resistance R1, a collector is connected to a collector resistance R5, and the emitter is connected to the emitter resistance R3. The base of a transistor Q3 is connected to base resistance R2, a collector is connected to a collector resistance R6, and the emitter is connected to the emitter resistance R4. Level shift signal S4B of the above 1st is supplied to the base resistance R8 in the 1st switching circuit 61 as a collector voltage Va3 of a transistor Q2. Level shift signal S5B of the above 1st is supplied to the base resistance R7 in the 1st switching circuit 61 as a collector voltage Va4 of a transistor Q3.

[0039] The 2nd level shift circuit 52 has the collector resistances R55 and R56 to which supply voltage Vcc is supplied, the base resistance R51 and R52 to which input voltage Vb1 and Vb2 is supplied, emitter resistances R53 and R54, the differential pair transistors Q52 and Q53, a transistor Q51, and the grounded load resistance R59. Transistors Q51, Q52, and Q53 are npn transistors. The resistance of collector resistances R55 and R56 is equal, the resistance of base resistance R51 and R52 is equal, the resistance of emitter resistances R53 and R54 is equal, and the property of transistors Q52 and Q53 is equal.

[0040] The collector of a transistor Q51 is connected to the node of emitter resistances R53 and R54, an emitter is connected to load resistance R59, input voltage V52 is supplied and, as for the base, the collector current of a transistor Q51 is set up with this input voltage V52. Of a transistor Q51 and load resistance R59, the constant current source which makes the collector current of a transistor Q51 regularity is formed. With the aforementioned input voltage V52, this constant current source outputs fixed current at the time of record (at the time of the 2nd mode of operation), and stops a current output at the time of elimination and reproduction (at the time of the 1st mode of operation) (at the time of the 3rd mode of operation).

[0041] The base of a transistor Q52 is connected to base resistance R51, a collector is connected to a collector resistance R55, and the emitter is connected to the emitter resistance R53. The base of a transistor Q53 is connected to base resistance R52, a collector is connected to a collector resistance R56, and the emitter is connected to the emitter resistance R54. Level shift signal S6B of the above 2nd is supplied to the base resistance R26 in the 2nd switching circuit 62 as a collector voltage Vb3 of a transistor Q52. Level shift signal S7B of the above 2nd is supplied to the base resistance R25 in the 2nd switching circuit 62 as a collector voltage Vb4 of a transistor Q53.

[0042] The 1st switching circuit 61 has the load resistance R10 to which supply voltage Vcc is supplied, a transistor Q4, the differential pair transistors Q6 and Q7, and base resistance R7 and R8. Transistors Q4, Q6, and Q7 are pnp transistors. The resistance of base resistance R7 and R8 is equal, and the property of transistors Q6 and Q7 is equal.

[0043] The collector of a transistor Q4 is connected to the node of both the emitters of the differential pair transistors Q6 and Q7, an emitter is connected to load resistance R10, input voltage V61 is supplied and, as for the base, the collector current of a transistor Q4 is set up with this input voltage V61. Of a transistor Q4 and load resistance R10, the constant current source which makes the collector current of a transistor Q4 regularity is formed. With the aforementioned input voltage V61, this constant current source outputs fixed current at the time of elimination and record, and stops a current output at the time of reproduction.

[0044] The emitter of a transistor Q7 is connected to the collector of a transistor Q4, the base is connected to base resistance R7, and the collector is connected to resistance R13. The emitter of a transistor Q6 is connected to the collector of a transistor Q4, the base is connected to base resistance R8, and the collector is connected to the resistance R12 for signal composition. The aforementioned amplification signal S61 is supplied to resistance R12 as the collector voltage of a transistor Q6, or collector-current i2.

[0045] The 2nd switching circuit 62 has the load resistance R11 to which supply voltage Vcc is supplied, a transistor Q5, the differential pair transistors Q8 and Q9, base resistance R26 and R25, and the grounded collector resistance R13. Transistors Q5, Q8, and Q9 are pnp transistors. The resistance of base resistance R25 and R26 is equal, and the property of transistors Q8 and Q9 is equal.

[0046] The collector of a transistor Q5 is connected to the node of both the emitters of the differential

pair transistors Q8 and Q9, an emitter is connected to load resistance R11, input voltage V62 is supplied and, as for the base, the collector current of a transistor Q5 is set up with this input voltage V62. Of a transistor Q5 and load resistance R11, the constant current source which makes the collector current of a transistor Q5 regularity is formed. With the aforementioned input voltage V62, this constant current source outputs fixed current at the time of record, and stops a current output at the time of elimination and reproduction.

[0047] The emitter of a transistor Q9 is connected to the collector of a transistor Q5, the base is connected to base resistance R25, and the collector is connected to the collector resistance R13. The emitter of a transistor Q8 is connected to the collector of a transistor Q5, the base is connected to base resistance R26, and the collector is connected to the resistance R12 for signal composition. The aforementioned amplification signal S62 is supplied to resistance R12 as the collector voltage or collector current i_3 of a transistor Q8.

[0048] A voltage stabilizer 70 has the resistance R16 to which supply voltage Vcc is supplied, resistance R17, the grounded resistance R18 and R19, and transistors Q12 and Q13. Transistors Q12 and Q13 are pnp transistors. Supply voltage Vcc is pressured partially by the resistance R16, R17, and R18 by which the series connection was carried out.

[0049] As for the emitter of a transistor Q12, input voltage Vin is supplied, the base is connected to the node of the aforementioned resistance R17 and R18, fixed voltage is supplied and the collector is connected to resistance R19. The emitter of a transistor Q13 is connected to the node of resistance R16, R17, and R12, the base is connected to resistance R19, and the collector is grounded. The collector of a transistor Q12 is connected to the base of a transistor Q13. A voltage stabilizer 70 makes emitter voltage (emitter potential) of a transistor Q13 the fixed voltage V1, and supplies it to resistance R12 by making this fixed voltage V1 into the constant-voltage signal S70.

[0050] An oscillator circuit 10 has the source Vf of a signal which generates the sinusoidal signal of predetermined frequency, and the grounded switching element SW. A switching element SW is controlled by input voltage Vsw. The source Vf of a signal is connected to the switching element SW. A switching element SW will be in an ON state at the time of reproduction, consequently it oscillates and the source Vf of a signal generates output voltage V3. The aforementioned oscillation signal S10 is supplied to a resonance circuit 20 as output voltage V3. A switching element SW will be in an OFF state at the time of record and elimination, consequently the source Vf of a signal suspends an oscillation.

[0051] A resonance circuit 20 has an inductor L1 and a capacitor C1, and the series connection of an inductor L1 and the capacitor C1 is carried out. A resonance circuit 20 passes the signal level of specific frequency from the output signal of an oscillator circuit 10, and is supplied to resistance R12 as the aforementioned passage signal S20.

[0052] The synthetic circuit 30 has resistance R12. The end of resistance R12 is connected to the emitter of a transistor Q13, and a constant voltage V1 is supplied. It connects with the collector of transistors Q6 and Q8, and connects with an inductor L1, and the other end of resistance R12 is connected to the node of resistance R14 and R15. The resistance of resistance R12 and R13 is equal.

[0053] A power circuit 1 has the resistance R20 and R21 to which supply voltage Vcc is supplied, transistors Q14, Q15, and Q16, base resistance R24, and the grounded resistance R22 and R23.

Transistors Q14 and Q16 are npn transistors, and a transistor Q15 is a pnp transistor. Supply voltage Vcc is pressured partially by resistance R21 and R22.

[0054] As for the collector of a transistor Q14, supply voltage Vcc is supplied, an emitter is connected to the drain of FET2A and 2B, and the base is connected to resistance R23. The collector of a transistor Q15 is connected to resistance R23, an emitter is connected to resistance R20, the base is connected to the node of the aforementioned resistance R21 and R22, and fixed voltage is supplied. The collector of a transistor Q16 is connected to resistance R23, an emitter is grounded and the base is connected to base resistance R24. The base of a transistor Q14 and the collector of transistors Q15 and Q16 are connected mutually. A power circuit 1 makes emitter voltage of a transistor Q14 the fixed supply voltage pinch off voltage, and supplies this supply voltage pinch off voltage to a source follower 4.

[0055] A source follower 4 has the gate resistance R14 and R15, FET2A and 2B, and the GaN system

semiconductor laser 3. If matched with FET2 of drawing 1, FET2A and 2B are used as FET2. The resistance of the gate resistance R14 and R15 is equal, and the property of FET2A and 2B is equal. FET2A and 2B are GaAs-MESFET (Metal Semiconductor FieldEffect Transistor), and high-speed operation is possible for them.

[0056] The gate of FET2A is connected to the gate resistance R14, a drain is connected to the emitter of a transistor Q14, and the source is connected to the anode of the GaN system semiconductor laser 3. The gate of FET2B is connected to the gate resistance R15, a drain is connected to the emitter of a transistor Q14, and the source is connected to the anode of the GaN system semiconductor laser 3. The cathode of the GaN system semiconductor laser 3 is grounded. The node of resistance R14 and R15 is connected to resistance R12. When voltage V2 rises, while being able to prevent that a forward current flows between FET2A and the gate source of 2B by forming resistance R14 and R15, there are FET2A and an advantage which can absorb the individual differences of 2B.

[0057] Next, operation of a circuit is explained. The 1st and 2nd level shift circuits 51 and 52 are differential-amplifier circuits. The operating point can be decided by the collector current I1 and collector resistance (load resistance) R5 of a transistor Q1, and the operating point voltage Va can be expressed with following formula **. In addition, the resistance of load resistance R5 is expressed as R5.

[0058]

[Equation 1] $V_a = V_{cc} - (I_1 \times R_5) / 2$ -- ** [0059] Moreover, when [consider as differential-input-voltage $V_{ia} = |V_{a2} - V_{a1}|$, and] differential-output-voltage $V_{oa} = |V_{a4} - V_{a3}|$, the relation between a differential input voltage V_{ia} and a differential output voltage V_{oa} is expressed with following formula **. In addition, the resistance of load resistance R3 is expressed as R3.

[0060]

[Equation 2] $V_{oa} = V_{ia} \times R_5 / R_3$ -- ** [0061] When the 1st and 2nd level shift circuits 51 and 52 carry out the level shift of the input voltage V_{a1} , V_{a2} , V_{b1} , and V_{b2} , even if high voltage is required by the control voltage V2 of a source follower 4, it is made for the transistors Q6-Q9 of the 1st and 2nd switching circuits 61 and 62 not to be saturated. Moreover, the pn junction of transistors Q6-Q9 amplifies input voltage V_{a1} , V_{a2} , V_{b1} , and V_{b2} on the voltage fully turned on / turned off, and enables it to perform switching with the 1st and 2nd exact switching circuits 61 and 62.

[0062] Temporarily, when the input voltage of the buffer circuit 50 of the semiconductor laser drive circuit 100 is directly inputted into a switching circuit 60, the collector voltage (collector potential) of the transistors Q6 and Q8 of the 1st and 2nd switching circuits 61 and 62 becomes high in connection with the source terminal voltage of Above FET. Consequently, forward voltage may be impressed between the collector bases of transistors Q6 and Q8, transistors Q6 and Q8 may be saturated, and an output signal wave may be distorted. Furthermore, though transistors Q6 and Q8 may stop performing ON/OFF and transistors Q6 and Q8 perform ON/OFF when the amplitude of input voltage is small, an output signal wave may become blunt by the level shift in a switching circuit 60. For this reason, it is desirable to connect the level shift circuit 50 to the preceding paragraph of a switching circuit 60.

[0063] The 1st and 2nd switching circuits 61 and 62 are current switch logic (CSL) circuits which consist of an ECL circuit. Another side is an OFF state when one side of the differential pair transistors Q6 and Q7 is an ON state. Moreover, another side is an OFF state when one side of the differential pair transistors Q8 and Q9 is an ON state. The collector current of a transistor Q4 is equal to the collector current in the direction of an ON state among transistors Q6 and Q7, and the collector current of a transistor Q5 is equal to the collector current in the direction of an ON state among transistors Q8 and Q9. The control voltage V2 of FET2A and 2B is determined by collector-current i2 of a transistor Q6, and the collector current i3 of a transistor Q8. This control voltage V2 is expressed with following formula **. In addition, the resistance of resistance R12 is expressed as R12.

[0064]

[Equation 3] $V_2 = (i_2 + i_3) \times R_{12} + V_1$ -- ** [0065] A voltage stabilizer 70 is a sink (Sink) type voltage source, and consists of one step of transistor amplifying circuit, and a buffer amplifier. In this voltage stabilizer 70, the feedback resistance R17 is provided so that output voltage V1 may not be changed by

the load current I13. Unless input voltage Vin is changed, output voltage V1 is kept constant by this resistance R17. And a voltage stabilizer 70 supplies FET2A and the gate bias voltage of 2B, and it is made to fill the operating voltage of the GaN system semiconductor laser 3.

[0066] The output voltage V1 of a voltage stabilizer 70 is expressed with following formula **. In addition, voltage between base emitters of a transistor Q12 is set to Vbe1, it corresponds, respectively and the resistance of resistance R16, R17, and R18 is expressed as R16, R17, and R18. Moreover, input voltage V1 fills following formula **.

[0067]

[Equation 4]

$$V1 = (V_{in} - V_{be1}) \times (1 + R17/R18) \quad \text{--} \quad ** \quad [0068]$$

[Equation 5]

$V1 \leq (R17 + R18) \times V_{cc} / (R16 + R17 + R18)$ -- ** [0069] The resistance R12 for signal composition changes into voltage the sum (i2+i3) of the output current generated in the current switch (CSL) circuits 61 and 62, and generates the control voltage V2 which superimposed the fixed voltage V1 further. This control voltage V2 is expressed with following formula ** using upper formula ** and **.

[0070]

[Equation 6]

$$V2 = (i2 + i3) \times R12 + (V_{in} - V_{be1}) \times (1 + R17/R18)$$

-- ** [0071] A source follower 4 drives the GaN system semiconductor laser 3 with voltage. The load current Io which flows into the GaN system semiconductor laser 3 is determined by the voltage-current property of the GaN system semiconductor laser 3, and FET2A and the voltage-drain current characteristic between the gate sources of 2B in direct current. This load current Io is expressed with following formula **. In addition, in formula **, Vo is the terminal voltage of the GaN system semiconductor laser 3, Vt is the threshold voltage (threshold voltage) of FET2A and 2B, and it is Ids. It is a drain saturation current.

[0072]

[Equation 7]

$I_o = I_{ds} \times \{1 + (V2 - V_o)/V_t\}^2$ -- ** [0073] In the power circuit 1, the constant current source which has a transistor Q15, and the saturation switching circuit which has a transistor Q16 are connected to push pull composition. And to load resistance R23, the outflow place of the fixed current I5 from a constant current source is controlled by the saturation switching circuit, and it is not passed [pass fixed current I5 or] by it. The output voltage pinch off voltage of this power circuit 1 is decided by the current I23 which flows to load resistance R23, and is expressed with following formula **. In addition, the voltage between base emitters of a transistor Q14 is expressed with Vbe2, and the resistance of load resistance R23 is expressed as R23.

[0074]

[Equation 8] pinch off voltage = $I23 \times R23 - V_{be2}$ -- ** [0075] Thus, when a transistor Q16 is an ON state, current I23 will be set to 0 on 0 or a real target, and a transistor Q14 will be in an OFF state.

Consequently, the GaN system semiconductor laser 3 will be in an OFF state completely. Moreover, when a transistor Q16 is an OFF state, current I23 is equal to the fixed collector current I5, and a transistor Q14 will be in an ON state, and it supplies the aforementioned output voltage pinch off voltage to a source follower 4.

[0076] The source follower 4 has composition which carries out the voltage drive of the GaN system semiconductor laser 3, output resistance (output impedance) is small and its output capacitance is small to the grade which can be disregarded. Moreover, by using FET2A and 2B in parallel, output resistance is further made small and the high-speed drive is enabled also from this point.

[0077] Moreover, since a source follower 4 can suppress a Miller effect, when the resistance of load resistance is large, it can suppress the delay of a pulse response. Furthermore, for example, when parallel connection of the capacitor is carried out to load resistance, current can be supplied to the capacity at load resistance, without carrying out ***** influence. Since the GaN system semiconductor laser 3 will serve as the composition that parallel connection of the capacitor was carried out to load resistance from

a viewpoint of an equal circuit if the inductance of lead wire is disregarded, it can supply current to the capacity of the capacitor concerned at load resistance, without carrying out ***** influence, can prevent that the output wave of a laser beam becomes blunt, and is enabling the high-speed drive also from this point.

[0078] Gestalt drawing 3 of the 2nd operation is the rough block block diagram concerning this invention showing the semiconductor laser drive circuit of the gestalt of the 2nd operation. This semiconductor laser drive circuit 200 is the composition of having formed the detector 92 and the feedback circuit 8 to the semiconductor laser drive circuit 100 of drawing 1 . In addition, the same sign is given to the same component as the semiconductor laser drive circuit 100 of drawing 1 , and explanation of the same component is omitted suitably.

[0079] The equal circuit with the rough interior of the control circuit 5 of drawing 3 is filled in, and the series connection of the source 6 of signal generation and the adjustable voltage source 7 of the drive control signal Sc is carried out. This control circuit 5 supplies the drive control signal Sc to a feedback circuit 8.

[0080] It connects between a power circuit 1 and a source follower 4, and a detector 92 detects the current which flows into a source follower 4 from a power circuit 1, generates a detecting signal Sk, and supplies this detecting signal Sk to a feedback circuit 8.

[0081] A feedback circuit 8 has an adder circuit 81 and an amplifying circuit 82. The drive control signal Sc and a detecting signal Sk are supplied, and an adder circuit 81 subtracts a detecting signal Sk from the drive control signal Sc, generates the addition signal S81, and supplies this addition signal S81 to an amplifying circuit 82. An amplifying circuit 82 consists of an operational amplifier (operational amplifier), a transistor, FET, etc., amplifies the addition signal S81, generates the amplification signal Sg, and supplies it to a source follower 4 by making this amplification signal Sg into a gate input signal.

[0082] In this semiconductor laser drive circuit 200, the feedback loop is formed of the detector 92, the feedback circuit 8, and the source follower 4. the current value which detected the current which flows into the GaN system semiconductor laser 3 in a source follower 4 by the detector 92, and detected it -- a level conversion -- and voltage conversion is carried out, a detecting signal Sk is generated, this detecting signal Sk is fed back, and operation of the GaN system semiconductor laser 3 is stabilized

[0083] It is the composition of detecting the value of the inrush current of the GaN system semiconductor laser 3, and the aforementioned inrush current can be controlled by this semiconductor laser drive circuit 200, without being dependent on the voltage-current property of the GaN system semiconductor laser 3. Moreover, it is possible to control the frequency band to which a detector 92 and a feedback circuit 8 operate by setting up widely also about the case where pulse-like current (pulse current) flows into a source follower 4 from a power circuit 1.

[0084] Gestalt drawing 4 of the 3rd operation is the rough block block diagram concerning this invention showing the semiconductor laser drive circuit of the gestalt of the 3rd operation. This semiconductor laser drive circuit 300 is the composition of having removed the detector 92, and the power circuit 1 having considered as the composition which carries out current supply to a source follower 4 directly to the semiconductor laser drive circuit 200 of drawing 3 , and having formed the detector 93 further. In addition, the same sign is given to the same component as the semiconductor laser drive circuit 200 of drawing 3 , and explanation of the same component is omitted suitably.

[0085] A detector 93 detects the radiant power output of the GaN system semiconductor laser 3, generates a detecting signal Sk, and supplies this detecting signal Sk to a feedback circuit 8. For example, a detector 93 branches the laser beam outputted from the GaN system semiconductor laser 3 using a beam splitter, it receives the branched laser beam by the photo detector, changes it into an electrical signal, amplifies this electrical signal, and is taken as the aforementioned detecting signal Sk.

[0086] The semiconductor laser drive circuit of the gestalt of the 4th operation, next the gestalt of the 4th operation concerning this invention is explained. Drawing 5 - drawing 8 are the rough circuit diagrams concerning this invention showing the semiconductor laser drive circuit of the gestalt of the 4th operation.

[0087] Drawing 5 is a rough circuit diagram for explaining the principle of the semiconductor laser drive

circuit of the gestalt of the 4th operation. This semiconductor laser drive circuit 400 has a switching element 401, diode 402, the source 403 of a constant voltage, the GaN system semiconductor laser 3, and a current regulator circuit 410.

[0088] A current regulator circuit 410 supplies fixed current I_{410} to the GaN system semiconductor laser 3. In the semiconductor laser drive circuit 400, the series connection of a switching element 401, diode 402, and the source 403 of a constant voltage will be carried out, and a switching element 401 will be in an ON state or an OFF state with the drive control signal Sc . The source 403 of a constant voltage supplies fixed voltage to the GaN system semiconductor laser 3, when a switching element 401 is an ON state.

[0089] In this semiconductor laser drive circuit 400, the direct current for bias is generated by the current regulator circuit 410, and a pulse voltage is generated using a switching element 401 at the time of a high-speed drive, it impresses this pulse voltage to the GaN system semiconductor laser 3, and is enabling the high-speed response. It is possible to drive the GaN system semiconductor laser 3, without being dependent on the voltage-current property of the GaN system semiconductor laser 3 at the time of a high-speed drive in the semiconductor laser drive circuit 400. In this case, equivalent resistance in case an alternating current small signal is inputted into the GaN system semiconductor laser 3 turns into current-feedback resistance.

[0090] Drawing 6 is the circuit diagram of the suitable semiconductor laser drive circuit which materialized more the semiconductor laser drive circuit 400 of drawing 5. This semiconductor laser drive circuit 460 has FET404, the source 405 of signal generation which generates the drive control signal Sc , the GaN system semiconductor laser 3, and a current regulator circuit 410. The switching element 401 and diode 402 in drawing 5 have composition included in FET404 which is an example of a low-power output impedance driver element. The GaN system semiconductor laser 3 is driven by the source follower.

[0091] A current regulator circuit 410 has the emitter resistance 411 to which supply voltage V_{cc} is supplied, a transistor 412, and the adjustable voltage source 413. A transistor 412 is a pnp transistor. The emitter of a transistor 412 is connected to an emitter resistance 411, a collector is connected to the anode of the GaN system semiconductor laser 3, it connects with the adjustable voltage source 413, and the base generates the fixed collector current I_{410} .

[0092] FET404 is the n channel field-effect transistor of an enhancement type, for example, GaAs-FET is used for it. Supply voltage V_{cc} is supplied to the drain of FET404, the gate is connected to the source 405 of signal generation, and the source is connected to the anode of the GaN system semiconductor laser 3. The cathode of the GaN system semiconductor laser 3 is grounded.

[0093] When FET404 is an ON state, driver voltage is supplied to the GaN system semiconductor laser 3 from FET404, and the GaN system semiconductor laser 3 outputs a purple-blue color laser beam. When FET404 is an OFF state, driver voltage is not supplied to the GaN system semiconductor laser 3 from FET404, the GaN system semiconductor laser 3 stops a radiant power output, or luminescence of the low-power output or the constant output based on a constant current I_{410} is performed.

[0094] Drawing 7 is the circuit diagram showing the modification of the semiconductor laser drive circuit 460 of drawing 6. In addition, the same sign is given to the same component as the semiconductor laser drive circuit 460 of drawing 6, and explanation of the same component is omitted suitably. This semiconductor laser drive circuit 470 is the composition of having formed resistance (the 1st resistance element) 406 and the capacitor 407 to the aforementioned semiconductor laser drive circuit 460. The source of FET404 is grounded through resistance 406. Moreover, the source of FET404 is connected to the anode of the GaN system semiconductor laser 3 through the capacitor 407.

[0095] It is possible to be able to supply the high frequency component of a pulse voltage to the GaN system semiconductor laser 3 with a capacitor 407, to be able to intercept the low-frequency component of a pulse voltage, and to impress high-frequency voltage to the GaN system semiconductor laser 3 by having resistance 406 and a capacitor 407, at the time of a high-speed drive, when a pulse voltage is outputted from the source of FET404.

[0096] Drawing 8 is the circuit diagram showing the modification of the semiconductor laser drive

circuit 470 of drawing 7 . In addition, the same sign is given to the same component as the semiconductor laser drive circuit 470 of drawing 7 , and explanation of the same component is omitted suitably. This semiconductor laser drive circuit 480 is the composition of having formed the inductors 408, such as a choke coil, between a current regulator circuit 410 and the GaN system semiconductor laser 3 to the aforementioned semiconductor laser drive circuit 470.

[0097] By having an inductor 408, when the output capacitance (drawing 8 collector capacitance) of a current regulator circuit 410 has a size more than the junction capacitance of the GaN system semiconductor laser 3, it can prevent that the pulse current from a capacitor 407 flows into the output terminal of a current regulator circuit 410. In addition, between a current regulator circuit 410 and the GaN system semiconductor laser 3, it may replace with an inductor 408 and resistance (the 2nd resistance element) may be prepared, the series connection of the aforementioned resistance and the inductor 408 may be carried out, and they may be prepared.

[0098] Moreover, it is good for the gate of FET404 also as composition which connects the aforementioned control circuit 5 and supplies the drive control signal Sc to the gate. While using a bipolar transistor as a low-power output impedance driver element, it may replace with a source follower 4 and an emitter follower may be used. Moreover, the gestalt of the above-mentioned implementation is instantiation of this invention, and this invention is not limited to the gestalt of the above-mentioned implementation.

[0099]

[Effect of the Invention] In the 1st semiconductor laser drive circuit concerning this invention, since driver voltage is supplied to high resistance semiconductor laser through a low-power output impedance driver element, a power supply can be effectively supplied to high resistance semiconductor laser. Moreover, it is possible to be able to suppress a Miller effect by the low-power output impedance driver element, to make frequency of a drive control signal high, and to improve the drive speed of high resistance semiconductor laser.

[0100] Furthermore, the signal level of a drive control signal can be changed to a multi-stage story, and the aforementioned control circuit can control the luminescence intensity of GaN system semiconductor laser by having the 1st and 2nd switching circuits and the synthetic circuit which compounds the output signal of the 1st and 2nd switching circuits, and generates the aforementioned drive control signal on a multi-stage story.

[0101] In the 2nd semiconductor laser drive circuit concerning this invention, since driver voltage is supplied to high resistance semiconductor laser through a low-power output impedance driver element, a power supply can be effectively supplied to high resistance semiconductor laser. Moreover, it is possible to be able to suppress a Miller effect by the low-power output impedance driver element, to make frequency of a drive control signal high, and to improve the drive speed of high resistance semiconductor laser. Moreover, it is possible to be able to set up the operating point of high resistance semiconductor laser, and to set up the laser beam intensity at the time of the usual output of high resistance semiconductor laser by the current regulator circuit connected to high resistance semiconductor laser.

[0102] Moreover, it is possible to be able to supply a high frequency component to high resistance semiconductor laser among the output voltage of a low-power output impedance driver element, to be able to intercept a low-frequency component, and to change the luminescence intensity of GaN system semiconductor laser in the shape of a pulse by connecting a low-power output impedance driver element and high resistance semiconductor laser through a capacitor.

[Translation done.]

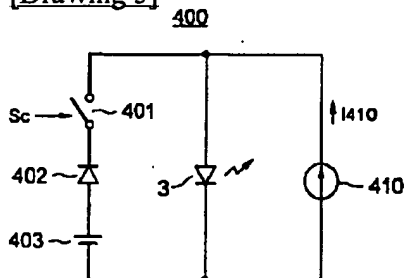
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

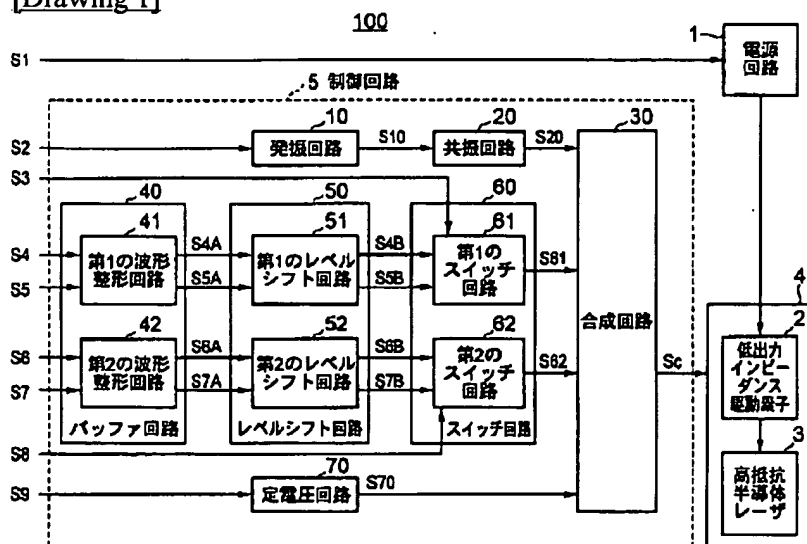
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

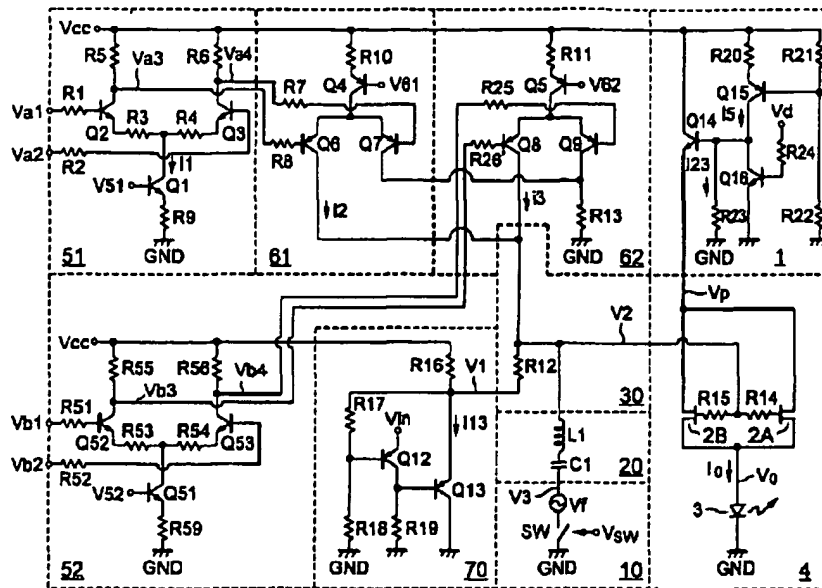
[Drawing 5]



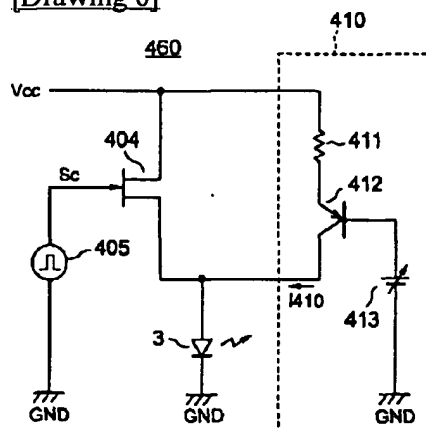
[Drawing 1]



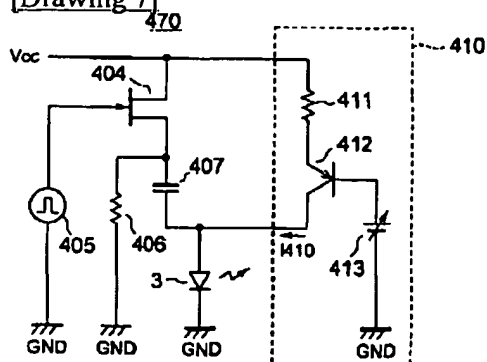
[Drawing 2]



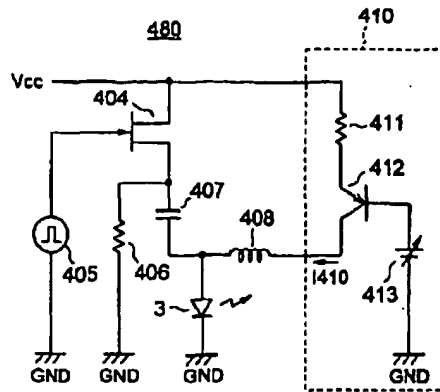
[Drawing 6]



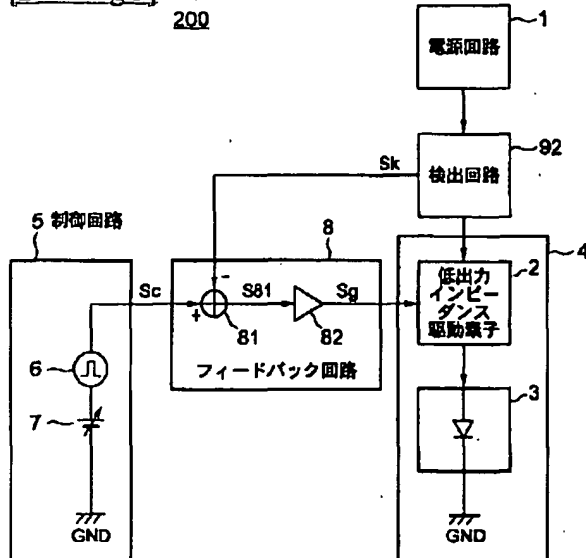
[Drawing 7]



[Drawing 8]



[Drawing 3]



[Drawing 4]

